

10/695,630

JCLAG6730



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請一日：西元 2002 年 10 月 25 日

Application Date

申請案號：091125126

Application No.

申請人：米輯科技股份有限公司

Applicant(s)

局長

Director General

林 建生

發文日期：西元 2003 年 11 月 17 日
Issue Date

發文字號：09221161240
Serial No.

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

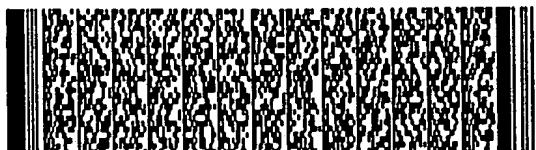
申請日期：	案號：
-------	-----

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	晶片間接合方法
	英 文	Method for Assembling Chips
二、 發明人	姓 名 (中文)	1. 林世雄
	姓 名 (英文)	1. Shih-Hsiung Lin
	國 籍	1. 中華民國
	住、居所	1. 新竹市武陵路175巷2號10樓-5
三、 申請人	姓 名 (名稱) (中文)	1. 米輯科技股份有限公司
	姓 名 (名稱) (英文)	1. Megic Corporation
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研發一路21號
	代表人 姓 名 (中文)	1. 林茂雄
代表人 姓 名 (英文)	1. Mou-Shiung Lin	



四、中文發明摘要 (發明之名稱：晶片間接合方法)

一種晶片間接合方法，至少包括下列步驟。首先係提供一第一晶片及一第二晶片，接著形成至少一導電柱到第一晶片上，然後形成至少一導電接合材料到導電柱上，之後將導電接合材料與第二晶片接合，使得第一晶片藉由導電柱及導電接合材料能夠與第二晶片電性連接。

英文發明摘要 (發明之名稱：Method for Assembling Chips)

A method for assembling chips includes the following steps. First, a first chip and a second chip are provided. Next, at least one conductive pillar is formed on the first chip and then at least one conductive connecting material is formed on the conductive pillar. Subsequently, the conductive connecting material is connected with the second chip such that the first chip can be electrically connected with the second chip through the conductive pillar and the conductive



四、中文發明摘要 (發明之名稱：晶片間接合方法)

英文發明摘要 (發明之名稱：Method for Assembling Chips)

connecting material.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

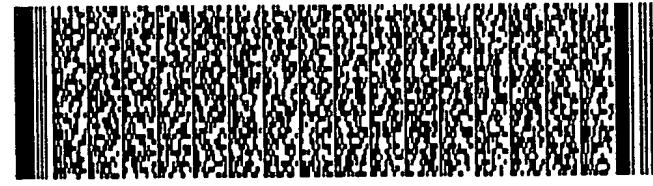
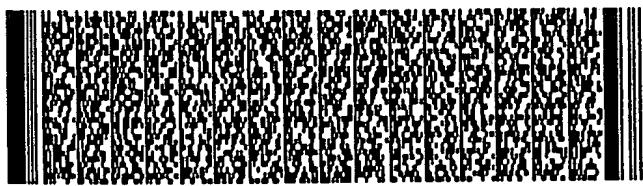
五、發明說明 (1)

本發明是有關於一種晶片間接合方法，且特別是有關於一種可以提高組裝良率的晶片間接合方法。

在現今資訊爆炸的社會，電子產品遍佈於日常生活中，無論在食衣住行育樂各方面，均會應用到積體電路元件所組成的產品，且伴隨著電子科技不斷地演進，功能性更複雜、更人性化的產品不斷推陳出新，就電子產品外觀而言，也朝向輕、薄、短、小的趨勢設計，因此，在半導體封裝 (Package) 的領域亦對應開發出許多高密度半導體封裝的技術，例如常見的系統式封裝結構 (System In A Package)、覆晶封裝結構 (Flip Chip, F/C) 及球格陣列封裝結構 (Ball Grid Array, BGA) 等封裝技術。

一般而言，系統式封裝結構的樣式係將多個晶片包覆在一封裝材料內，而此種封裝結構具有晶片間電性連結線路短及大幅縮減線路配置體積等優點，然而在製作上有其困難度。比如在將二覆晶晶片對接接合時，會產生偏移等問題，如第1圖至第5圖所示，其繪示習知覆晶晶片接合製程的剖面示意圖。

請先參照第1圖，首先要提供二覆晶晶片110、130，分別定義為一第一覆晶晶片110及一第二覆晶晶片130。第一覆晶晶片110具有一第一晶片112及多個第一凸塊122，第一晶片112具有多個第一接點114，暴露在第一晶片112的表層，而每一第一凸塊122係位在對應之第一接點114上，其中第一凸塊122係為球型的樣式。第二覆晶晶片130具有一第二晶片132及多個第二凸塊142，第二晶片132具



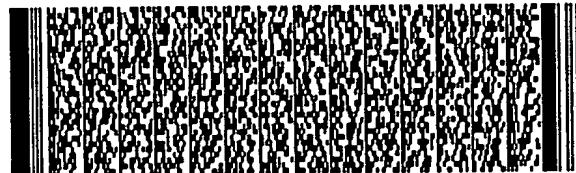
五、發明說明 (2)

有多個第二接點134，暴露在第二晶片132的表層，而每一第二凸塊142係位在對應之第二接點134上，其中第二凸塊142係為球型的樣式。

接下來，便進行接合第一晶片與第二晶片的步驟，其係先將第一凸塊122沾上助焊劑150(flux)上，而形成如第2圖所示的結構。接下來，便可以翻轉第一覆晶晶片110而將每一第一凸塊122對準對應之每一第二凸塊142，並將第一凸塊122壓合到第二凸塊142上，此時助焊劑150會包覆第一凸塊122、第二凸塊142及第一凸塊122與第二凸塊142之接合處，形成如第3圖所示的結構。然而，由於第一凸塊122與第二凸塊142均為球型的樣式，因此當第一凸塊122壓合到第二凸塊142上時，會造成第一凸塊122與第二凸塊142之間相互滑動，此時第一晶片122與第二晶片142之間便會發生偏移的現象。

之後，會再進行迴焊的製程，使得每一第一凸塊122與對應之每一第二凸塊142會共同融合而形成一接合塊160，並且助焊劑150會流動到接合塊160的外部表面上而包覆接合塊160，形成如第4圖所示的樣式。其中，若是當第一凸塊122壓合到第二凸塊142上而第一凸塊122與第二凸塊142之間發生嚴重的滑動情形時，則在進行迴焊步驟時，其相鄰的接合塊160之間很有可能會碰觸到，而發生短路的情形，使得封裝良率降低。

接著，在迴焊製程之後，可以再利用一溶劑(未繪示)將殘留在接合塊160上的助焊劑150去除，而形成如第5



五、發明說明 (3)

圖所示的樣式。

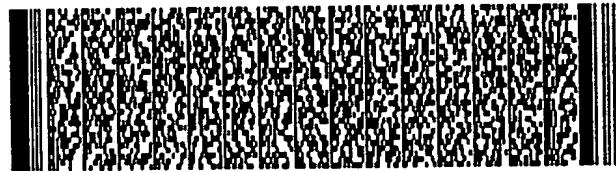
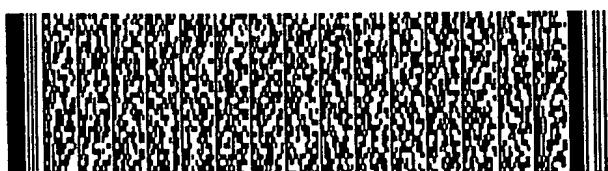
另外，在上述的凸塊接合製程中，其所形成的接合塊160並不會太高，使得組裝後第一晶片112與第二晶片132之間的間距會甚小，而接下來在進行點膠或封膠製程時，封裝材料(未繪示)會難以進入到第一晶片112與第二晶片132之間，使得第一晶片112與第二晶片132之間封裝材料未流經之處，會產生空洞，而降低組裝的可靠度。

因此，本發明的目的之一在於提供一種晶片間接合方法，可以大幅提升晶片間接合的可靠度，。

本發明的目的之一在於提供一種晶片間接合方法，可以增加晶片之間的距離。

在敘述本發明之前，先對空間介詞的用法做界定，所謂空間介詞"上"係指兩物之空間關係係為可接觸或不可接觸均可。舉例而言，A物在B物上，其所表達的意思係為A物可以直接配置在B物上，A物有與B物接觸；或者A物係配置在B物上的空間中，A物沒有與B物接觸。

基於本發明之上述目的，本發明提出一種晶片間接合方法，至少包括下列步驟。首先係提供一第一晶片及一第二晶片，接著形成至少一導電柱到第一晶片上，然後形成至少一導電接合材料到導電柱上，之後將導電接合材料與第二晶片接合，使得第一晶片藉由導電柱及導電接合材料能夠與第二晶片電性連接。如此，若是在進行接合製程時，形成在導電柱上的導電接合材料係以面接觸的方式承靠在第二晶片上或承靠在位於第二晶片上的導電接合材料



五、發明說明 (4)

上，則可以降低形成在導電柱上的導電接合材料與第二承載器之間或位於第二晶片上的導電接合材料之間發生滑動的情形，故第一晶片與第二晶片之間可以準確地接合，同時亦可以避免接合結構之間發生短路的現象。

同樣基於本發明之上述目的，本發明又提出一種晶片間接合方法，至少包括下列步驟。首先係提供一第一晶片及一第二晶片，接著形成至少一導電柱到第一晶片上，然後形成至少一導電接合材料到第二晶片上，之後將導電柱與導電接合材料接合，使得第一晶片藉由導電柱及導電接合材料能夠與第二晶片電性連接。如此，若是在進行接合製程時，導電柱係以面接觸的方式承靠在位於第二晶片上的導電接合材料上，則可以降低導電柱與位在第二晶片上的導電接合材料之間發生滑動的情形，故第一晶片與第二晶片之間可以準確地接合，同時亦可以避免接合結構之間發生短路的現象。

同樣基於本發明之上述目的，本發明又提出一種多晶片模組製造方法，首先係提供一第一晶片、一第二晶片及一承載器，接著形成多個導電柱到第一晶片上，然後形成一導電接合材料到導電柱上。接著將導電接合材料與第二晶片接合，使得第二晶片藉由導電柱及導電接合材料能夠固定到第一晶片上，並與第一晶片電性連接。然後將第一晶片固定到承載器上，並與承載器電性連接。

同樣基於本發明之上述目的，本發明又提出一種多晶片模組製造方法，至少包括下列步驟。首先係提供一第



五、發明說明 (5)

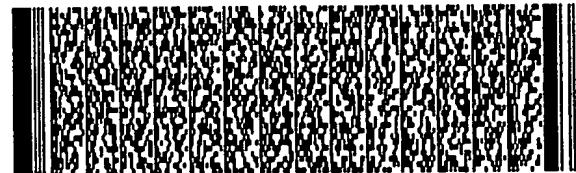
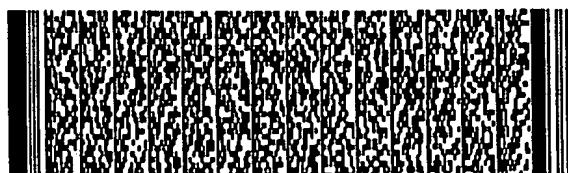
一晶片、一第二晶片及一承載器，接著形成多個導電柱到第一晶片上，然後形成一導電接合材料到第二晶片上。接下來，將導電柱與導電接合材料接合，使得第二晶片藉由導電柱及導電接合材料能夠固定到第一晶片上，並與第一晶片電性連接。接著，將第一晶片固定到承載器上，並與承載器電性連接。

另外，同樣基於本發明之上述目的，本發明又提出一種多晶片封裝模組，至少包括一第一晶片、一第二晶片、多個導電柱及一承載器，其中導電柱係位在第一晶片與第二晶片之間，而第一晶片係與承載器相固定，並與承載器電性連接。承載器比如是基板、陶瓷基板或導線架。

再者，同樣基於本發明之上述目的，本發明又提出一種晶片間接合結構，至少包括一第一晶片、一第二晶片及至少一導電柱，而導電柱係配置在第一晶片與第二晶片之間。

綜上所述，由於導電柱的熔點可以設計成高於導電接合材料的接合溫度，因此在進行迴焊製程時，導電柱並不會呈現熔融的狀態，而可以支撐第一晶片與第二晶片之間的間距，故第一晶片與第二晶片之間可以維持甚大的間距，而在接下來的封膠製程時，封裝材料可以較容易填入到第一晶片與第二晶片之間。另外，導電柱及導電接合材料均可以利用無鉛的材質，以達到環保的要求。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉多個較佳實施例，並配合所附圖式，



五、發明說明 (6)

作詳細說明如下：

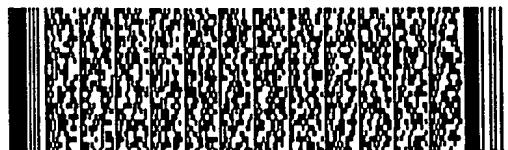
圖式之標示說明

- 110：第一覆晶晶片
- 112：第一晶片
- 114：第一接點
- 122：第一凸塊
- 130：第二覆晶晶片
- 132：第二晶片
- 134：第二接點
- 142：第二凸塊
- 150：助焊劑
- 160：接合塊
- 210：第一承載器
- 212：接點
- 220：第二承載器
- 222：接點
- 230：導電柱
- 240：導電接合材料
- 241：接合塊
- 242a：導電接合材料
- 242b：導電接合材料
- 244：導電接合材料
- 246：導電接合材料



五、發明說明 (7)

248a : 導電接合材料
248b : 導電接合材料
262 : 導電柱
264 : 導電接合材料
266 : 底面
282 : 黏著層
284 : 導電層
290 : 光阻層
292 : 開口
300 : 多晶片封裝模組
302 : 多晶片封裝模組
310 : 第一晶片
312 : 接點
314 : 主動表面
320 : 第二晶片
322 : 接點
324 : 主動表面
330 : 導電柱
332 : 導電接合材料
340 : 導電接合材料
342 : 導電接合材料
344 : 接合塊
350 : 承載器
352 : 表面



五、發明說明 (8)

- 354 : 背面
- 356 : 接點
- 358 : 接點
- 359 : 開口
- 360 : 導電接合材料
- 370 : 脫型膜
- 380 : 封裝材料
- 382 : 封裝材料
- 390 : 焊球
- 400 : 多晶片封裝模組
- 410 : 第一晶片
- 412 : 接點
- 414 : 主動表面
- 416 : 背面
- 420 : 第二晶片
- 422 : 接點
- 430 : 導電柱
- 432 : 導電接合材料
- 450 : 承載器
- 452 : 表面
- 454 : 背面
- 456 : 接點
- 458 : 接點
- 459 : 晶片座



五、發明說明 (9)

460：黏著材料

470：導線

480：封裝材料

490：焊球

500：多晶片封裝模組

510：第一晶片

512：接點

514：主動表面

516：背面

520：第二晶片

550：承載器

552：晶片座

554：引腳

560：黏著材料

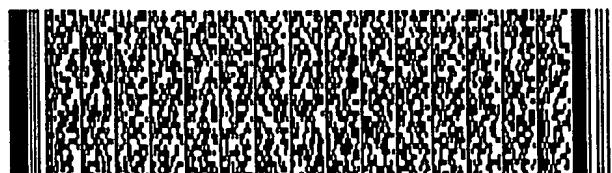
570：導線

580：封裝材料

d：導電接合材料之邊緣位置與導電柱之邊緣位置之間的最短距離

實施例

請參照第6圖及第7圖，其繪示依照本發明第一較佳實施例之承載器間接合方法的剖面示意圖。如第6圖所示，首先要提供二承載器210、220，分別為一第一承載器210及一第二承載器220，其中第一承載器210具有多個接



五、發明說明 (10)

點212，暴露在第一承載器210的表層；而第二承載器220亦具有多個接點222，暴露在第二承載器220的表層。其中第一承載器210比如為晶片、基板或陶瓷基板，第二承載器220比如為晶片、基板或陶瓷基板。

接下來，要形成多個導電柱230到第一承載器210之每一接點212上，並且還要形成一導電接合材料240到第二承載器220之每一接點222上。其中導電柱230的材質例如錫、鉛、銅、金、銀、鋅、鈮、鎂、錳、銨等金屬或上述金屬材質的合金等。而導電接合材料240比如為膏狀的形式，其可以由多個金屬粒子(未繪示)及一助焊劑(未繪示)所混合而成，如此導電接合材料240便可以利用網板印刷的方式形成到第二承載器220之每一接點222上，其中導電接合材料240之金屬粒子比如為錫、鉛、銅、金、銀、鋅、鈮、鎂、錳、銨等金屬或上述金屬材質的合金等。

接下來，便可以翻轉第一承載器210而將每一導電柱230對準導電接合材料240，並將每一導電柱230壓到導電接合材料240上，之後便進行迴焊的製程，使得導電接合材料240內的金屬粒子會融合固化而形成一接合塊241，可以接合導電柱230與第二承載器220的接點222，其中導電柱230的熔點係高於導電接合材料240的接合溫度，在本實施例中，接合塊241僅與導電柱230之一側接合，而導電接合材料240之助焊劑會流動到接合塊241的表面。之後，便可以利用一溶劑，將殘留在接合塊241表面的助焊劑清除，形成如第7圖所示的結構。

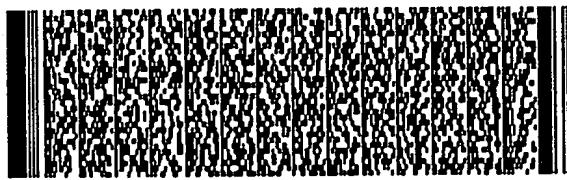
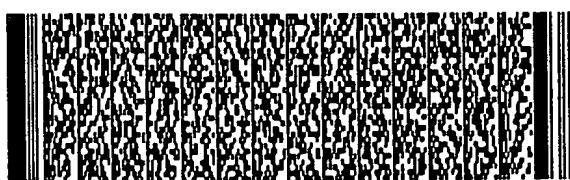


五、發明說明 (11)

另外，請參照第8A圖、第8B圖及第9圖，其繪示依照本發明第二較佳實施例之承載器間接合方法的剖面示意圖，其中若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。在本實施例中，請先參照第8A圖及第8B圖，導電接合材料242a、242b亦可以為固態的形式，其樣式比如為柱狀或球狀(在第8A圖中係繪示導電接合材料242a為球狀的形式，在第8B圖中係繪示導電接合材料242b為柱狀的形式)，而其材質比如為錫、鉛、銅、金、銀、鋅、鈮、鎂、錳、銨等金屬或上述金屬材質的合金等，並且導電柱230的熔點係高於導電接合材料242a、242b的接合溫度。

在導電柱230形成到第一承載器210之接點212上及導電接合材料242a、242b形成到第二承載器220之接點222上之後，還要將導電接合材料242a、242b沾上一助焊劑(未繪示)，接下來便可以翻轉第一承載器210而將每一導電柱230壓到導電接合材料242a、242b上，之後便進行迴焊的製程，使得導電接合材料242a、242b會形成熔融的狀態，而包覆導電柱230，形成如第9圖所示的樣式。接著，還要利用一溶劑(未繪示)，將殘留在導電接合材料242a、242b上的助焊劑清除。

另外，請參照第10圖，其繪示依照本發明第三較佳實施例之承載器間接合方法的剖面示意圖，其中若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施

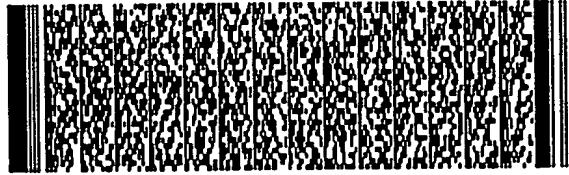


五、發明說明 (12)

例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。在本實施例中，當導電柱230形成到第一承載器210的接點212上之後，接著可以將導電接合材料244形成到導電柱230上，其中導電接合材料244比如為固態的形式，而其樣式比如為柱狀或球狀，導電接合材料244的材質比如為錫、鉛、銅、金、銀、鋅、鉻、鎂、錳、銨等金屬或上述金屬材質的合金等，導電柱230的熔點係高於導電接合材料244的接合溫度，其中導電柱230及導電接合材料244的製程可以參照中華民國專利申請第90104979號及中華民國專利申請第91100092號，在此便不再贅述。另外，亦可以利用沾黏的方式形成膏狀的導電接合材料244到導電柱230上，而膏狀的導電接合材料244比如由多個金屬粒子(未繪示)及一助焊劑(未繪示)所混合而成，其中導電接合材料244之金屬粒子比如為錫、鉛、銅、金、銀、鋅、鉻、鎂、錳、銨等金屬或上述金屬材質的合金等。

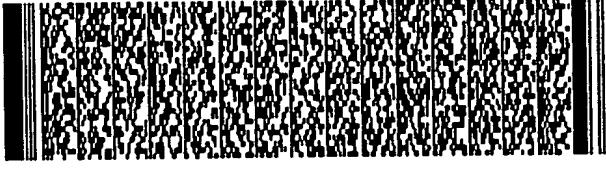
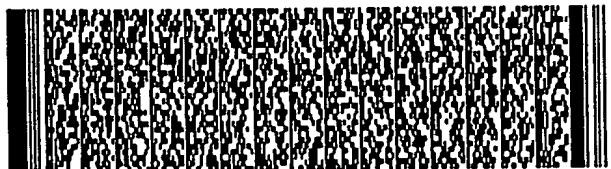
在導電接合材料244形成到導電柱230上之後，便可以翻轉第一承載器210，而利用迴焊的方式將導電接合材料244與第二承載器220的接點222接合，如此藉由導電柱230及導電接合材料244便可以使第一承載器210與第二承載器220電性連接。

另外，請參照第11圖，其繪示依照本發明第四較佳實施例之承載器間接合方法的剖面示意圖，其中若是本實施例中的標號與第三較佳實施例一樣者，則表示在本實施



五、發明說明 (13)

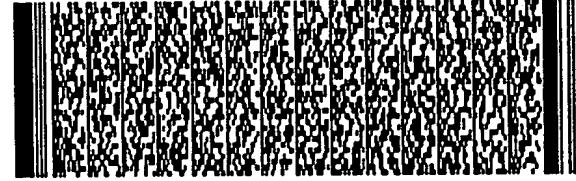
例中所指明的構件係雷同於在第三較佳實施例中所指明的構件，在此便不再贅述。在本實施例中，在進行承載器間的接合步驟之前，除了如第三較佳實施例所述會形成導電柱230到第一承載器210的接點212上以及形成導電接合材料244到導電柱230上之外，還會形成一導電接合材料246到第二承載器220的接點222上。其中導電接合材料246比如為膏狀的形式，其可以由多個金屬粒子(未繪示)及一助焊劑(未繪示)所混合而成，如此導電接合材料246便可以利用網板印刷的方式形成到第二承載器220之每一接點222上，其中導電接合材料246之金屬粒子比如為錫、鉛、銅、金、銀、鋅、鈕、鎂、錫等金屬或上述金屬材質的合金等。接下來，便可以翻轉第一承載器210而將每一導電柱230對準導電接合材料246，並將每一導電柱230上的導電接合材料244壓到導電接合材料246上，之後便進行迴焊的製程，使得導電接合材料246內的金屬粒子會與導電接合材料244融合固化而形成一接合塊(未繪示)，並且導電接合材料246之助焊劑會流動到接合塊的表面，其中接合塊可以是接合在導電柱230的一側或是將導電柱230包覆。之後，便可以利用一溶劑，將殘留在接合塊表面的助焊劑清除，此時藉由導電接合材料244與導電接合材料246之金屬粒子的融合固化，導電柱230便可以與第二承載器220之接點222接合，其中在較佳的情況下，導電柱230的熔點要大於導電接合材料244的接合溫度及導電接合材料246的接合溫度。



五、發明說明 (14)

另外，請參照第12A圖及第12B圖，其繪示依照本發明第五較佳實施例之承載器間接合方法的剖面示意圖，其中若是本實施例中的標號與第三較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第三較佳實施例中所指明的構件，在此便不再贅述。導電接合材料248a、248b可以為固態的形式，其型態比如為球狀或是柱狀的樣式(在第12A圖中係繪示導電接合材料248a為球狀的形式，在第12B圖中係繪示導電接合材料248b為柱狀的形式)，而其材質比如為錫、鉛、銅、金、銀、鋅、鈸、鎂、鎢、銨等金屬或上述金屬材質的合金等，並且在較佳的情況下，導電柱230的熔點要大於導電接合材料244的接合溫度及導電接合材料248a、248b的接合溫度。在導電柱230形成到第一承載器210之接點212上、導電接合材料244形成到導電柱230上及導電接合材料248a、248b形成到第二承載器220之接點222上之後，還要將導電接合材料248a、248b沾上一助焊劑(未繪示)，接下來便可以翻轉第一承載器210而將每一導電柱230壓到導電接合材料248a、248b上，之後便進行迴焊的製程，使得導電接合材料248a、248b會與導電接合材料244接合，形成接合塊(未繪示)，而接合塊可以是接合在導電柱的一側或是將導電柱包覆。接著，還要利用一溶劑(未繪示)，將殘留在接合塊上的助焊劑清除。

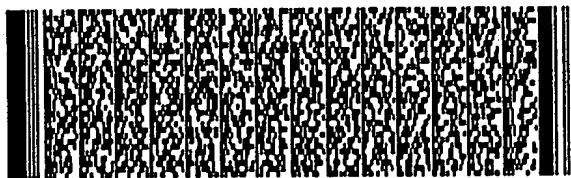
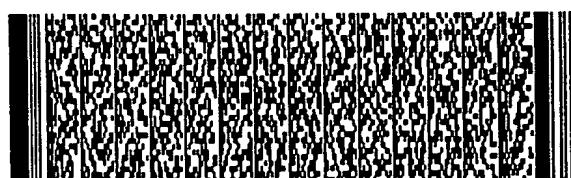
另外，請參照第13圖及第14圖，其繪示依照本發明第六較佳實施例之承載器間接合方法的剖面示意圖，其中



五、發明說明 (15)

若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。在提供第一承載器210與第二承載器220之後，要形成多個導電柱到230到第一承載器210之每一接點212上，而導電柱230的材質例如為錫、鉛、銅、金、銀、鋅、鉻、鎂、錳等金屬或上述金屬材質的合金等。此外，還要形成多個導電柱262及一導電接合材料264到第二承載器220之每一接點222上，其中導電柱262係位在第二承載器220之每一接點222上，而導電接合材料264係位在導電柱262上，並且導電接合材料264之一底面266會與導電柱262接觸。其中導電柱262及導電接合材料264的材質例如為錫、鉛、銅、金、銀、鋅、鉻、鎂、錳等金屬或上述金屬材質的合金等，並且導電柱230及導電柱262的熔點係高於導電接合材料264的接合溫度，而導電接合材料264係延伸到導電柱262外，使得導電接合材料264之底面266會暴露於外，並且在較佳的情況下，導電柱262的截面積要大致上相同於導電柱230的截面積，導電接合材料264之邊緣位置與導電柱262之邊緣位置之間的最短距離d係大於5微米，在較佳的情況下，並且導電柱230的高度要遠大於導電柱262的高度。

接下來，還要將導電接合材料264沾上一助焊劑(未繪示)，之後便可以翻轉第一承載器210而將每一導電柱230對準導電接合材料264，並將每一導電柱230壓到導電接合材料264上，接著便進行迴焊的製程，使得導電接合

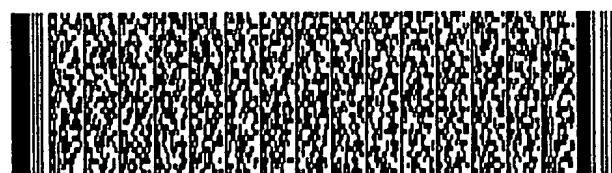
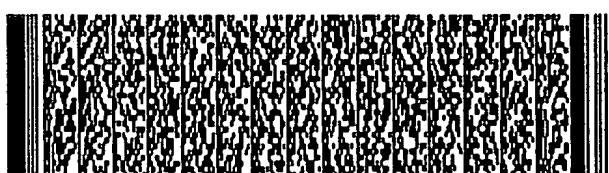


五、發明說明 (16)

材料240會形成熔融的狀態，而包覆導電柱230及導電柱262，形成如第14圖所示的樣式。接著，還要利用一溶劑(未繪示)，將殘留在導電接合材料264上的助焊劑清除。

接下來敘述導電柱262及導電接合材料264的製作方法，如第15圖到第21圖所示，其繪示依照本發明第六較佳實施例中導電柱及導電接合材料形成到第二承載器上之製程剖面示意圖。請先參照第15圖，在提供第二承載器220之後，比如可以利用濺鍍或蒸鍍的方式，形成一黏著層282到第二承載器220上，其中黏著層282的材質比如為鈦、鈦鎢合金、鈦氮化合物或鉻等。

接著，比如利用貼合或是旋塗的方式，形成一光阻層290到黏著層282上，之後再進行曝光、顯影等步驟，使得一圖案(未繪示)轉移到光阻層290上，此時光阻層290會形成多個開口292，以暴露出位在第二承載器220之接點222上的黏著層282，形成如第16圖所示的樣式。接下來，可以利用電鍍的方式，形成一導電柱262到光阻層290的開口292中，並且導電柱262係位在黏著層220上，而形成如第17圖所示的型態，其中導電柱262的材質例如為錫、鉛、銅、金、銀、鋅、鉻、鎂、錳、銨等金屬或上述金屬材質的合金等。之後，可以利用電鍍的方式，形成導電接合材料264到光阻層290的開口292中，並且導電接合材料264係位在導電柱262上，而形成如第18圖所示的型態，其中導電接合材料264的材質例如為錫、鉛、銅、金、銀、鋅、鉻、鎂、錳、銨等金屬材質的合金等，並



五、發明說明 (17)

且在較佳的情況下，導電柱262的熔點係高於導電接合材料264的接合溫度。接下來，便進行去除光阻層290的步驟，使得黏著層282會暴露於外，而形成如第19圖所示的樣式。

之後，便進行濕蝕刻的製程，而以導電柱262及導電接合材料264作為蝕刻罩壁，去除暴露於外的黏著層282，形成如第20圖所示的樣式。接著，再進行濕蝕刻的製程，而以導電接合材料264作為蝕刻罩壁，蝕刻液(未繪示)係從導電柱262的側壁263蝕刻導電柱262，使得導電柱262的截面積會縮減，並且導電接合材料264的一底面266會暴露於外，形成如第21圖所示的樣式，如此導電柱262便製作完成，在較佳的情況下，導電接合材料264之邊緣位置與導電柱262之邊緣位置之間的最短距離d係大於5微米。

綜上所述，由於導電柱的熔點係高於導電接合材料的接合溫度，因此在進行迴焊製程時，導電柱並不會呈現熔融的狀態，而可以支撐第一承載器與第二承載器之間的間距，故第一承載器與第二承載器之間可以維持甚大的間距，而在接下來的封膠製程時，封裝材料可以較容易填入到第一承載器與第二承載器之間。

另外，若是在進行接合製程時，導電柱係以面接觸的方式承靠在位於第二承載器上的導電接合材料上，則可以降低導電柱與位在第二承載器上的導電接合材料之間發生滑動的情形，故第一承載器與第二承載器之間可以準確地接合，同時亦可以避免接合結構之間發生短路的現象。



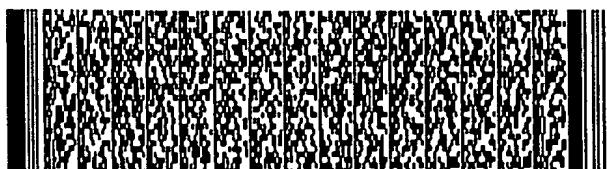
五、發明說明 (18)

此為，若是在進行接合製程時，形成在導電柱上的導電接合材料係以面接觸的方式承靠在第二承載器上或承靠在位於第二承載器上的導電接合材料上，則可以降低形成在導電柱上的導電接合材料與第二承載器之間或位於第二承載器上的導電接合材料之間發生滑動的情形，故第一承載器與第二承載器之間可以準確地接合，同時亦可以避免接合結構之間發生短路的現象。

再者，上述的導電柱及導電接合材料均可以利用無鉛的材質，以達到環保的要求。

接下來，敘述應用上述承載器間接合方法，所製作的多晶片模組的封裝結構及其所對應的製造方法。請參照第22圖至第29圖，其繪示依照本發明第一較佳實施例之多晶片模組製造方法的剖面放大示意圖。其中晶片之間的接合方法及晶片與基板之間的接合方法可以應用前述之承載器間接合方法的任一較佳實施例，在接下來的敘述中便不再詳細說明，在圖示中亦僅繪示其中的一種方法。而晶片之間的接合結構及晶片與基板之間的接合結構可以雷同於前述之承載器間接合結構的較佳實施例，在接下來的敘述中便不再詳細說明，在圖示中亦僅繪示其中的一種結構。

請先參照第22圖，首先要提供一第一晶片310及一第二晶片320，第一晶片310具有多個接點312，暴露在第一晶片310之主動表面314的表層，而第二晶片320亦具有多個接點322，暴露在第二晶片320之主動表面324的表層。其中第一晶片310比如是數位邏輯晶片，而第二晶片320比



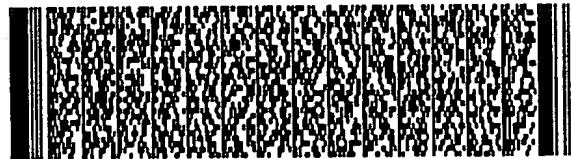
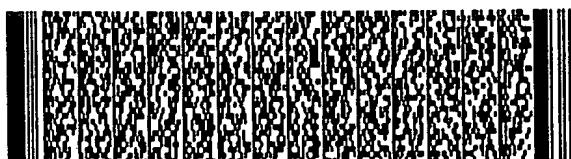
五、發明說明 (19)

如是記憶體晶片。之後，會形成多個導電柱330到第一晶片310之接點312上，並且還會形成一導電接合材料340到第二晶片320之接點322上，其中導電柱330的熔點會高於導電接合材料340的接合溫度。

接下來，便進行晶片間接合製程，比如可以利用迴焊的方式，將導電接合材料340與位在第一晶片310中央部份的導電柱330接合，如此第二晶片320便可以固定到第一晶片310的中央部份上，並且透過位在第一晶片310中間部份的導電柱330與導電接合材料340，第一晶片310可以與第二晶片320電性連接，形成如第23圖所示的樣式。

請參照第24圖，之後還要提供一承載器350，比如為基板或陶瓷基板，承載器350具有一表面352及對應之一背面354，並且承載器350還具有多個接點356及多個接點358，接點356係暴露在承載器350之表面352的表層，而接點358係暴露在承載器350之背面354的表層。而承載器350還具有一開口359，貫穿承載器350的中間部份。接下來，還會形成一導電接合材料360到承載器350之接點356上，其中導電柱330的熔點會高於導電接合材料360的接合溫度。

接下來，便進行晶片與基板間接合製程，比如可以利用迴焊的方式，將導電接合材料360與位在第一晶片310周圍部份的導電柱330接合，如此第一晶片310便可以固定到承載器350上，並且第二晶片320會容納在承載器350的開口359中。透過位在第一晶片310周圍部份的導電柱330



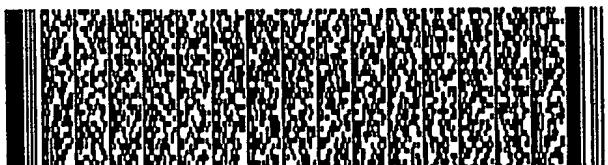
五、發明說明 (20)

與導電接合材料360，第一晶片310可以與承載器350電性連接，形成如第25圖所示的樣式。

接著，便可以黏貼一脫型膜370到承載器350的背面354上，並且脫型膜370會封住承載器350之開口359靠近背面354的一側，形成如第26圖所示的樣式。之後，可以利用點膠的方式，將一封裝材料380填入到承載器350之開口359中、第一晶片310與第二晶片320之間及第一晶片310與承載器350之間，其中封裝材料380會包覆第二晶片320，形成如第27圖所示的樣式。接下來，便將脫型膜370從承載器350的背面354上去除，而形成如第28圖所示的樣式。之後，便可以利用植球方式，形成多個焊球390到承載器350之背面354的接點358上，而形成如第29圖所示的樣式，如此多晶片封裝模組300便製作完成，多晶片封裝模組300可以藉由焊球390與一外界電路(未繪示)電性連接。

在前述的較佳實施例中，係以點膠的方式填入一封裝材料到承載器之開口中、第一晶片與第二晶片之間及第一晶片與承載器之間，然而本發明並非僅限於上述的應用，亦可以是其他的方式，如第30圖到第32圖所示，其繪示依照本發明第二較佳實施例之多晶片模組製造方法的剖面放大示意圖，其中若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。

請先參照第30圖，接續第一實施例的製程，在脫型膜370黏貼到承載器350的背面354上之後，可以利用灌膠

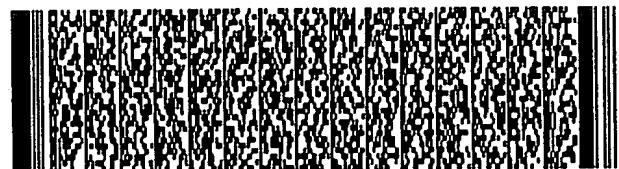


五、發明說明 (21)

的方式，將一封裝材料382填入到承載器350之開口359中、第一晶片310與第二晶片320之間及第一晶片310與承載器350之間，其中封裝材料380會包覆第一晶片310及第二晶片320。接下來，便將脫型膜370從承載器350的背面354上去除，而形成如第31圖所示的樣式。之後，便可以利用植球方式，形成多個焊球390到承載器350之背面354的接點358上，而形成如第32圖所示的樣式，如此多晶片封裝模組302便製作完成，多晶片封裝模組302可以藉由焊球390與一外界電路(未繪示)電性連接。

在前述的較佳實施例中，係先將第一晶片與第二晶片接合之後，才將第一晶片與承載器接合，然而本發明並非僅限於上述的製作步驟，亦可以是先將第一晶片與承載器接合之後，才將第一晶片與第二晶片接合，如第33圖到第36圖所示，其繪示依照本發明第三較佳實施例之多晶片模組製造方法的剖面放大示意圖，其中若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。

請先參照第33圖，在提供一第一晶片310及一承載器350之後，可以形成多個導電柱330到第一晶片310的接點312上，並且還形成一導電接合材料332到導電柱330上，其中導電柱330及導電接合材料332的製作方法可以參照中華民國專利申請第90104979號及中華民國專利申請第91100092號，在此便不再贅述，而導電柱330的熔點係高



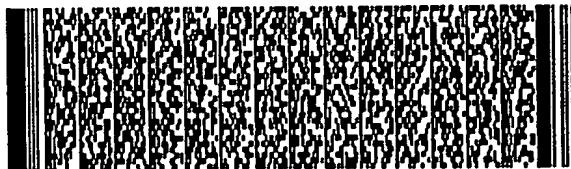
五、發明說明 (22)

於導電接合材料332的接合溫度。

之後，便進行晶片與基板間接合製程，比如可以利用迴焊的方式，將位在第一晶片310周圍部份的導電接合材料332與承載器350之接點356接合，如此第一晶片310便可以固定到承載器350上。透過位在第一晶片310周圍部份的導電柱330與導電接合材料332，第一晶片310可以與承載器350電性連接，形成如第34圖所示的樣式。

接下來，請參照第35圖，可以再提供一第二晶片320，並且還形成一導電接合材料342到第二晶片320的接點322上，在較佳的情況下，導電柱330的熔點要高於導電接合材料342的接合溫度。之後，再進行晶片間接合製程，比如可以利用迴焊的方式，使得位在第二晶片320之接點322上的導電接合材料342可以與位在第一晶片310中央部份的導電柱330上之導電接合材料332融合，而形成接合塊344以包覆位在第一晶片310中央部份的導電柱330，如第36圖所示，其中第二晶片320會容納在承載器350的開口359中，如此第二晶片320便可以固定到第一晶片310的中央部份上，並且透過位在第一晶片310中間部份的導電柱330與接合塊344，第一晶片310可以與第二晶片320電性連接。接下來，可以進行點膠或灌膠的步驟，如第一較佳實施例所述及第二較佳實施例所述，在此便不再贅述。

在前述的較佳實施例中，係利用導電柱及導電接合材料，使第一晶片與承載器電性連接，然而本發明並非僅限於上述的電性連接方式，亦可以是利用打線的方式，使



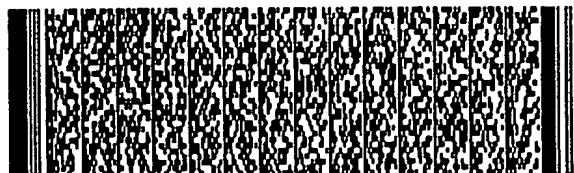
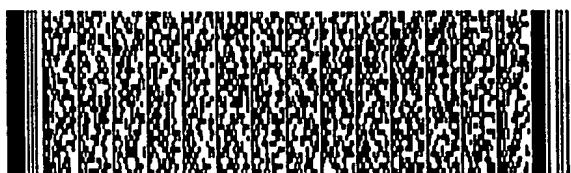
五、發明說明 (23)

第一晶片與承載器電性連接，如第37圖到第42圖所示，其繪示依照本發明第四較佳實施例之多晶片模組製造方法的剖面放大示意圖。

請先參照第37圖，首先要提供一第一晶片410及一第二晶片420，其中第一晶片410具有一主動表面414及對應之一背面416，而第一晶片410之多個接點412係形成在第一晶片410之主動表面414上。接下來，可以形成多個導電柱430到位在第一晶片410之主動表面414的中間部份之接點412上，並且還形成一導電接合材料432到導電柱430上，其中導電柱430及導電接合材料432的製作方法可以參照中華民國專利申請第90104979號及中華民國專利申請第91100092號，在此便不再贅述，而導電柱430的熔點要高於導電接合材料432的接合溫度。

之後，便進行晶片間接合製程，比如可以利用迴焊的方式，將第二晶片420之接點422與位在第一晶片410中間部份之導電柱430上的導電接合材料432接合，如此第二晶片420便可以固定到第一晶片410上。透過位在第一晶片410中間部份的導電柱430與導電接合材料432，第一晶片410可以與承載器450電性連接，形成如第38圖所示的樣式。

請參照第39圖，接下來還要提供一承載器450，而承載器450比如是基板或陶瓷基板。承載器450具有一表面452及對應之一背面454，並且承載器450具有一晶片座459、多個接點456及多個接點458，晶片座459及接點456



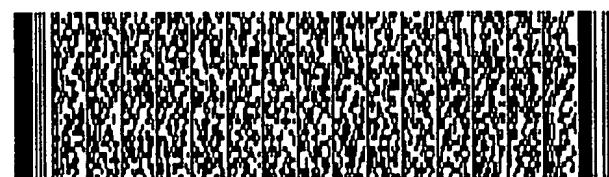
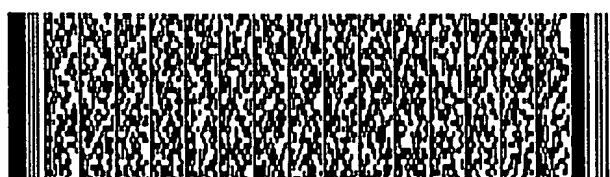
五、發明說明 (24)

係暴露在承載器450的表面452上，其中接點456比如是雙層環繞在晶片座459的周圍，而接點458比如是矩陣式地排列在承載器450的背面454上。而接著可以利用一黏著材料460，將第一晶片410以其背面416貼合到承載器450之晶片座459上。

接下來，可以利用打線的方式將第一晶片410與承載器450電性連接，其中導線470之一端係與位在第一晶片410之主動表面414的周圍部份之接點412接合，而導線470之另一端係與接點456接合，形成如第40圖所示的結構。

接下來，可以利用灌膠的方式，形成一封裝材料480以包覆第一晶片410、第二晶片420、導線470及承載器450之表面452，並且封裝材料480會填入到第一晶片410與第二晶片420之間的間距中，而形成如第41圖所示的結構。之後，便可以利用植球方式，形成多個焊球490到承載器450之背面454的接點458上，而形成如第42圖所示的樣式，如此多晶片封裝模組400便製作完成，多晶片封裝模組400可以藉由焊球490與一外界電路(未繪示)電性連接。

在前述的實施例中，其承載器係以基板或陶瓷基板為例，然而本發明的並非僅侷限於上述的應用，而承載器亦可以是導線架，如第43圖所示，其繪示依照本發明第五較佳實施例之多晶片封裝模組的剖面放大示意圖。承載器550包括一晶片座552及多個引腳554(lead)，引腳554係環繞在晶片座552的周圍。而在本實施例中，多晶片封裝模組製程首先係將第一晶片510與第二晶片520接合，其接合

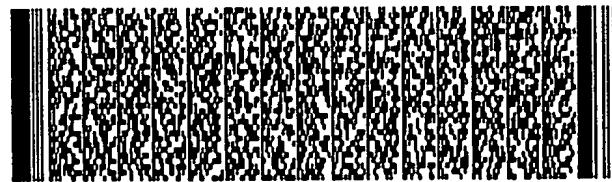
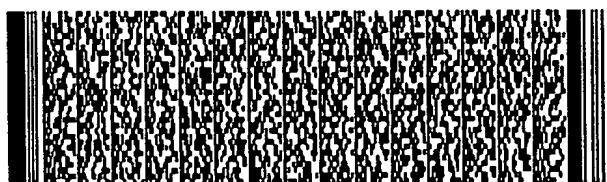


五、發明說明 (25)

的方法可以利用前述之任一承載器間的接合方法，在此便不再贅述。接著便利用一黏著材料560，將第一晶片510以其背面516貼合到承載器550之晶片座552上。之後，可以利用打線的方式將第一晶片510與承載器550之引腳554電性連接，其中導線570之一端係與位在第一晶片510之主動表面514的周圍部份之接點512接合，而導線570之另一端係與引腳554之一端接合。接下來，可以利用灌膠的方式，形成一封裝材料580以包覆第一晶片510、第二晶片520、導線570、承載器550之晶片座552及承載器550之引腳554靠近晶片座552的一端，並且封裝材料580會填入到第一晶片510與第二晶片520之間的間距中。接著進行切斷及成型製程(trimming and forming)，將引腳554間暴露於封裝材料580外的止洩桿(dam bar)(未繪示)切斷，並且將引腳554暴露於封裝材料580外的部份折彎成型，比如形成圖中所示海鷗型(gull wing type)引腳。如此多晶片封裝模組500便製作完成，多晶片封裝模組500可以藉由承載器550之引腳554與一外界電路(未繪示)電性連接。

綜上所述，本發明至少具有下列優點：

1. 本發明之晶片間接合方法，由於導電柱的熔點係高於導電接合材料的接合溫度，因此在進行迴焊製程時，導電柱並不會呈現熔融的狀態，而可以支撐第一晶片與第二晶片之間的間距，故第一晶片與第二晶片之間可以維持甚大的間距，而在接下來的封膠製程時，封裝材料可以較容易填入到第一晶片與第二晶片之間。



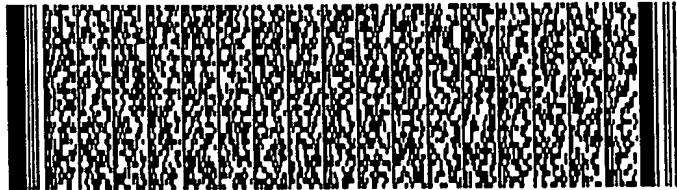
五、發明說明 (26)

2. 本發明之晶片間接合方法，若是在進行接合製程時，導電柱係以面接觸的方式承靠在位於第二晶片上的導電接合材料上，則可以降低導電柱與位在第二晶片上的導電接合材料之間發生滑動的情形，故第一晶片與第二晶片之間可以準確地接合，同時亦可以避免接合結構之間發生短路的現象。

3. 本發明之晶片間接合方法，若是在進行接合製程時，形成在導電柱上的導電接合材料係以面接觸的方式承靠在第二晶片上或承靠在位於第二晶片上的導電接合材料上，則可以降低形成在導電柱上的導電接合材料與第二承載器之間或位於第二晶片上的導電接合材料之間發生滑動的情形，故第一晶片與第二晶片之間可以準確地接合，同時亦可以避免接合結構之間發生短路的現象。

4. 本發明之晶片間接合方法，其導電柱及導電接合材料均可以利用無鉛的材質，以達到環保的要求。

雖然本發明已以三較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖至第5圖繪示習知覆晶晶片接合製程的剖面示意圖。

第6圖及第7圖繪示依照本發明第一較佳實施例之承載器間接合方法的剖面示意圖。

第8A圖、第8B圖及第9圖繪示依照本發明第二較佳實施例之承載器間接合方法的剖面示意圖。

第10圖繪示依照本發明第三較佳實施例之承載器間接合方法的剖面示意圖

第11圖繪示依照本發明第四較佳實施例之承載器間接合方法的剖面示意圖。

第12A圖及第12B圖繪示依照本發明第五較佳實施例之承載器間接合方法的剖面示意圖。

第13圖及第14圖繪示依照本發明第六較佳實施例之承載器間接合方法的剖面示意圖。

第15圖至第21圖繪示依照本發明第六較佳實施例中導電柱及導電接合材料形成到第二承載器上之製程剖面示意圖。

第22圖至第29圖繪示依照本發明第一較佳實施例之多晶片模組製造方法的剖面放大示意圖。

第30圖到第32圖繪示依照本發明第二較佳實施例之多晶片模組製造方法的剖面放大示意圖。

第33圖到第36圖繪示依照本發明第三較佳實施例之多晶片模組製造方法的剖面放大示意圖。

第37圖到第42圖繪示依照本發明第四較佳實施例之



圖式簡單說明

多晶片模組製造方法的剖面放大示意圖。

第43圖繪示依照本發明第五較佳實施例之多晶片封裝模組的剖面放大示意圖。



六、申請專利範圍

1. 一種晶片間接合方法，至少包括：

提供一第一晶片及一第二晶片；

形成至少一導電柱到該第一晶片上；

形成至少一導電接合材料到該導電柱上；以及

進行一接合製程，藉由該導電接合材料使得該導電柱與該第二晶片電性連接。

2. 如申請專利範圍第1項所述之晶片間接合方法，其中在提供該第二晶片之後，還形成另一導電接合材料到該第二晶片上，接下來便將形成在該導電柱上的該導電接合材料與形成在該第二晶片上的該另一導電接合材料接合，使得該第一晶片藉由該導電柱、該導電接合材料及該另一導電接合材料能夠與該第二晶片電性連接。

3. 如申請專利範圍第2項所述之晶片間接合方法，其中該另一導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鉻、鎂、鎵、該等之組合及該等之合金所組成族群中的一種材質。

4. 如申請專利範圍第2項所述之晶片間接合方法，其中在提供該第二晶片之後，係利用網板印刷的方式形成膏狀的該另一導電接合材料到該第二晶片上，而接下來係將形成在該導電柱上的該導電接合材料與形成在該第二晶片上的該另一導電接合材料相附著，之後還利用迴焊的方式，將形成在該導電柱上的該導電接合材料與形成在該第二晶片上的該另一導電接合材料接合，使得該第一晶片藉由該導電柱、該導電接合材料及該另一導電接合材料能夠



六、申請專利範圍

與該第二晶片電性連接。

5. 如申請專利範圍第2項所述之晶片間接合方法，其中該導電柱的熔點係高於該另一導電接合材料的接合溫度。

6. 如申請專利範圍第1項所述之晶片間接合方法，其中該導電柱之材質係選自於由錫、鉛、銅、金、銀、鋅、鈸、鎂、鎳、銨、該等之組合及該等之合金所組成族群中的一種材質。

7. 如申請專利範圍第1項所述之晶片間接合方法，其中該導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鈸、鎂、鎳、銨、該等之組合及該等之合金所組成族群中的一種材質。

8. 如申請專利範圍第1項所述之晶片間接合方法，其中該導電柱的熔點係高於該導電接合材料的接合溫度。

9. 如申請專利範圍第1項所述之晶片間接合方法，其中係形成球狀之該導電接合材料到該導電柱上。

10. 如申請專利範圍第1項所述之晶片間接合方法，其中係形成柱狀之該導電接合材料到該導電柱上。

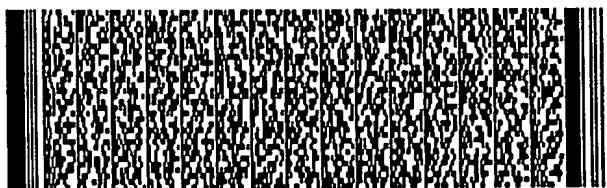
11. 一種晶片間接合方法，至少包括：

提供一第一晶片及一第二晶片；

形成至少一導電柱到該第一晶片上；

形成至少一導電接合材料到該第二晶片上；以及

進行一接合製程，藉由該導電接合材料使得該導電柱與該第二晶片電性連接。



六、申請專利範圍

12. 如申請專利範圍第11項所述之晶片間接合方法，其中在提供該第二晶片之後，係利用網板印刷的方式形成膏狀的該導電接合材料到該第二晶片上，而接下來係將形成在該第一晶片上的該導電柱與形成在該第二晶片上的該導電接合材料相附著，之後還利用迴焊的方式，將形成在該第一晶片上的該導電柱與形成在該第二晶片上的該導電接合材料接合，使得該第一晶片藉由該導電柱及該導電接合材料能夠與該第二晶片電性連接。

13. 如申請專利範圍第11項所述之晶片間接合方法，其中該導電柱之材質係選自於由錫、鉛、銅、金、銀、鋅、鉻、鎂、錦、銨、該等之組合及該等之合金所組成族群中的一種材質。

14. 如申請專利範圍第11項所述之晶片間接合方法，其中該導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鉻、鎂、錦、銨、該等之組合及該等之合金所組成族群中的一種材質。

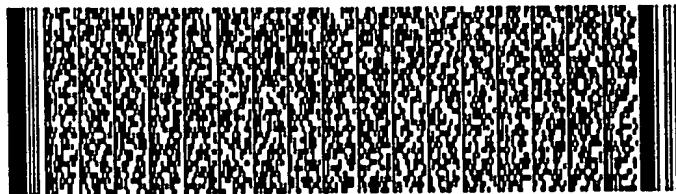
15. 如申請專利範圍第11項所述之晶片間接合方法，其中該導電柱的熔點係高於該導電接合材料的接合溫度。

16. 如申請專利範圍第11項所述之晶片間接合方法，其中係形成球狀之該導電接合材料到該第二晶片上。

17. 如申請專利範圍第11項所述之晶片間接合方法，其中係形成柱狀之該導電接合材料到該第二晶片上。

18. 一種多晶片模組製造方法，至少包括：

提供一第一晶片、一第二晶片及一承载器；



六、申請專利範圍

形成複數個導電柱到該第一晶片上；

形成一導電接合材料到該些導電柱上；

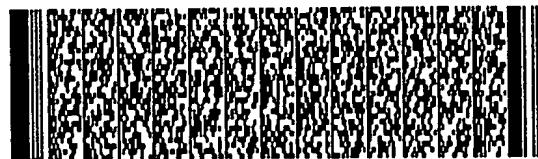
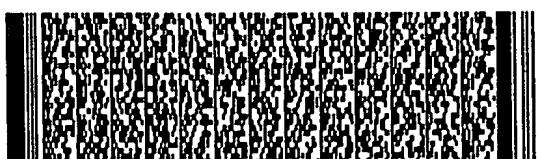
進行一接合製程，藉由該導電接合材料使得該些導電柱與該第二晶片電性連接；以及

將該第一晶片固定到該承載器上，並與該承載器電性連接。

19. 如申請專利範圍第18項所述之多晶片模組製造方法，其中在提供該第二晶片之後，還形成另一導電接合材料到該第二晶片上，接下來便將形成在該些導電柱上的該導電接合材料與形成在該第二晶片上的該另一導電接合材料接合，使得該第一晶片藉由該些導電柱、該導電接合材料及該另一導電接合材料能夠與該第二晶片電性連接。

20. 如申請專利範圍第19項所述之多晶片模組製造方法，其中該另一導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鈕、鎂、鎢、銨、該等之組合及該等之合金所組成族群中的一種材質。

21. 如申請專利範圍第19項所述之多晶片模組製造方法，其中在提供該第二晶片之後，係利用網板印刷的方式形成膏狀的該另一導電接合材料到該第二晶片上，而接下來係將形成在該些導電柱上的該導電接合材料與形成在該第二晶片上的該另一導電接合材料相附著，之後還利用迴焊的方式，將形成在該些導電柱上的該導電接合材料與形成在該第二晶片上的該另一導電接合材料接合，使得該第一晶片藉由該些導電柱、該導電接合材料及該另一導電接



六、申請專利範圍

合材料能夠與該第二晶片電性連接。

22. 如申請專利範圍第19項所述之多晶片模組製造方法，其中該些導電柱的熔點係高於該另一導電接合材料的接合溫度。

23. 如申請專利範圍第18項所述之多晶片模組製造方法，其中該些導電柱之材質係選自於由錫、鉛、銅、金、銀、鋅、鈮、鎂、錳、鋼、該等之組合及該等之合金所組成族群中的一種材質。

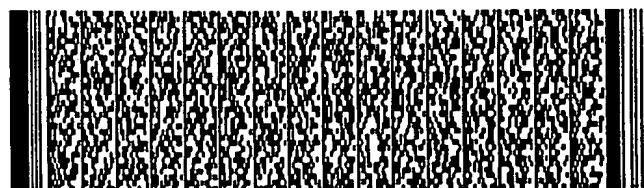
24. 如申請專利範圍第18項所述之多晶片模組製造方法，其中該導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鈮、鎂、錳、鋼、該等之組合及該等之合金所組成族群中的一種材質。

25. 如申請專利範圍第18項所述之多晶片模組製造方法，其中係在該第二晶片固定到該第一晶片上之後，才將該第一晶片固定到該承載器上。

26. 如申請專利範圍第18項所述之多晶片模組製造方法，其中係將該第一晶片固定到該承載器上之後，才將該第二晶片固定到該第一晶片上。

27. 如申請專利範圍第18項所述之多晶片模組製造方法，其中該第一晶片具有一主動表面及對應之一背面，而該些導電柱係形成到該第一晶片之該主動表面上，該第一晶片係以其該背面貼附到該承載器上，該第一晶片係藉由打線的方式與該承載器電性連接。

28. 如申請專利範圍第18項所述之多晶片模組製造方



六、申請專利範圍

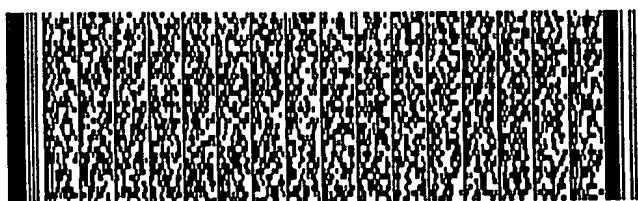
法，其中在將該第一晶片固定到該承載器上時，係將該導電接合材料與該承載器接合，使得該第一晶片藉由該些導電柱及該導電接合材料能夠固定到該承載器上，並與該承載器電性連接。

29. 如申請專利範圍第28項所述之多晶片模組製造方法，其中在提供該承載器之後，還形成另一導電接合材料到該承載器上，接下來便將形成在該些導電柱上的該導電接合材料與形成在該承載器上的該另一導電接合材料接合，使得該第一晶片藉由該些導電柱、該導電接合材料及該另一導電接合材料能夠與該承載器電性連接。

30. 如申請專利範圍第29項所述之多晶片模組製造方法，其中該另一導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鈮、鎂、錫、銨、該等之組合及該等之合金所組成族群中的一種材質。

31. 如申請專利範圍第29項所述之多晶片模組製造方法，其中在提供該承載器之後，係利用網板印刷的方式形成膏狀的該另一導電接合材料到該承載器上，而接下來係將形成在該些導電柱上的該導電接合材料與形成在該承載器上的該另一導電接合材料相附著，之後還利用迴焊的方式，將形成在該些導電柱上的該導電接合材料與形成在該承載器上的該另一導電接合材料接合，使得該第一晶片藉由該些導電柱、該導電接合材料及該另一導電接合材料能夠與該承載器電性連接。

32. 如申請專利範圍第29項所述之多晶片模組製造方



六、申請專利範圍

法，其中該些導電柱的熔點係高於該另一導電接合材料的接合溫度。

33. 如申請專利範圍第18項所述之多晶片模組製造方法，其中該第一晶片係為數位邏輯晶片。

34. 如申請專利範圍第18項所述之多晶片模組製造方法，其中該第二晶片係為記憶體晶片。

35. 如申請專利範圍第18項所述之多晶片模組製造方法，其中該些導電柱的熔點係高於該導電接合材料的接合溫度。

36. 如申請專利範圍第18項所述之多晶片模組製造方法，其中係形成球狀之該導電接合材料到該些導電柱上。

37. 如申請專利範圍第18項所述之多晶片模組製造方法，其中係形成柱狀之該導電接合材料到該些導電柱上。

38. 如申請專利範圍第18項所述之多晶片模組製造方法，其中該承载器係為基板、陶瓷基板及導線架，三者擇一。

39. 如申請專利範圍第18項所述之多晶片模組製造方法，其中該承载器具有一開口，該開口係貫穿該承载器，該承载器還具有一表面及對應之一背面，當該第二晶片固定到該第一晶片上及該第一晶片固定到該承载器上之後，該第二晶片係容納在該承载器之該開口中，而該第一晶片係固定到該承载器之該表面上。

40. 如申請專利範圍第39項所述之多晶片模組製造方法，其中在該第二晶片固定到該第一晶片上及該第一晶片



六、申請專利範圍

固定到該承載器上之後，還包括：

形成一脫型膜到該承載器的該背面，並且封住該承載器之該開口靠近該背面的一側；

將一封裝材料至少填入到該開口中、該第一晶片與該第二晶片之間及該第一晶片與該承載器之間；以及

將該脫型膜從該承載器的該背面上除去。

41. 如申請專利範圍第40項所述之多晶片模組製造方法，其中填入該封裝材料的方法係為點膠及灌膠，二者擇一。

42. 如申請專利範圍第18項所述之多晶片模組製造方法，其中在該第二晶片固定到該第一晶片上及該第一晶片固定到該承載器上之後，還形成一封裝材料至少包覆該第一晶片與該第二晶片之間的電性接合部份及該第一晶片與該承載器之間的電性接合部份。

43. 如申請專利範圍第42項所述之多晶片模組製造方法，其中形成該封裝材料的方法係為點膠及灌膠，二者擇一。

44. 一種多晶片模組製造方法，至少包括：

提供一第一晶片、一第二晶片及一承載器；

形成複數個導電柱到該第一晶片上；

形成一導電接合材料到該第二晶片上；

進行一接合製程，藉由該導電接合材料使得該些導電柱與該第二晶片電性連接；以及

將該第一晶片固定到該承載器上，並與該承載器電



六、申請專利範圍

性連接。

45. 如申請專利範圍第44項所述之多晶片模組製造方法，其中該些導電柱之材質係選自於由錫、鉛、銅、金、銀、鋅、鉻、鎂、錳、鈸、該等之組合及該等之合金所組成族群中的一種材質。

46. 如申請專利範圍第44項所述之多晶片模組製造方法，其中該導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鉻、鎂、錳、鈸、該等之組合及該等之合金所組成族群中的一種材質。

47. 如申請專利範圍第44項所述之多晶片模組製造方法，其中係在該第二晶片固定到該第一晶片上之後，才將該第一晶片固定到該承載器上。

48. 如申請專利範圍第44項所述之多晶片模組製造方法，其中係將該第一晶片固定到該承載器上之後，才將該第二晶片固定到該第一晶片上。

49. 如申請專利範圍第44項所述之多晶片模組製造方法，其中該第一晶片具有一主動表面及對應之一背面，而該些導電柱係形成到該第一晶片之該主動表面上，該第一晶片係以其該背面貼附到該承載器上，該第一晶片係藉由打線的方式與該承載器電性連接。

50. 如申請專利範圍第44項所述之多晶片模組製造方法，其中在將該第一晶片固定到該承載器上時，係將該導電接合材料與該承載器接合，使得該第一晶片藉由該些導電柱及該導電接合材料能夠固定到該承載器上，並與該承



六、申請專利範圍

載器電性連接。

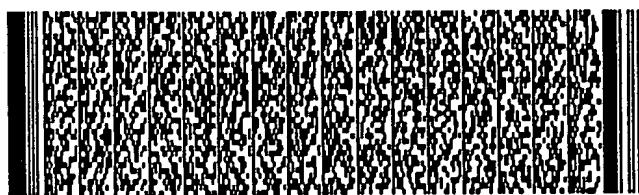
51. 如申請專利範圍第50項所述之多晶片模組製造方法，其中在提供該承載器之後，還形成另一導電接合材料到該承載器上，接下來便將形成在該些導電柱上的該導電接合材料與形成在該承載器上的該另一導電接合材料接合，使得該第一晶片藉由該些導電柱、該導電接合材料及該另一導電接合材料能夠與該承載器電性連接。

52. 如申請專利範圍第51項所述之多晶片模組製造方法，其中該另一導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鉻、鎂、錫、銅、該等之組合及該等之合金所組成族群中的一種材質。

53. 如申請專利範圍第51項所述之多晶片模組製造方法，其中在提供該承載器之後，係利用網板印刷的方式形成膏狀的該另一導電接合材料到該承載器上，而接下來將形成在該些導電柱上的該導電接合材料與形成在該承載器上的該另一導電接合材料相附著，之後還利用迴焊的方式，將形成在該些導電柱上的該導電接合材料與形成在該承載器上的該另一導電接合材料接合，使得該第一晶片藉由該些導電柱、該導電接合材料及該另一導電接合材料能夠與該承載器電性連接。

54. 如申請專利範圍第51項所述之多晶片模組製造方法，其中該些導電柱的熔點係高於該另一導電接合材料的接合溫度。

55. 如申請專利範圍第44項所述之多晶片模組製造方



六、申請專利範圍

法，其中該第一晶片係為數位邏輯晶片。

56. 如申請專利範圍第44項所述之多晶片模組製造方法，其中該第二晶片係為記憶體晶片。

57. 如申請專利範圍第44項所述之多晶片模組製造方法，其中該些導電柱的熔點係高於該導電接合材料的接合溫度。

58. 如申請專利範圍第44項所述之多晶片模組製造方法，其中係形成球狀之該導電接合材料到該些導電柱上。

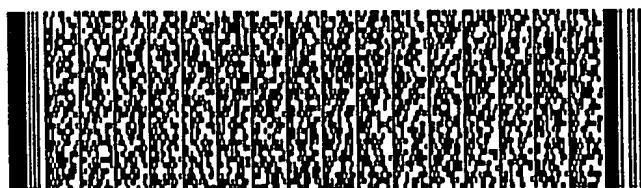
59. 如申請專利範圍第44項所述之多晶片模組製造方法，其中係形成柱狀之該導電接合材料到該些導電柱上。

60. 如申請專利範圍第44項所述之多晶片模組製造方法，其中該承載器係為基板、陶瓷基板及導線架，三者擇一。

61. 如申請專利範圍第44項所述之多晶片模組製造方法，其中該承載器具有一開口，該開口係貫穿該承載器，該承載器還具有一表面及對應之一背面，當該第二晶片固定到該第一晶片上及該第一晶片固定到該承載器上之後，該第二晶片係容納在該承載器之該開口中，而該第一晶片係固定到該承載器之該表面上。

62. 如申請專利範圍第61項所述之多晶片模組製造方法，其中在該第二晶片固定到該第一晶片上及該第一晶片固定到該承載器上之後，還包括：

形成一脫型膜到該承載器的該背面，並且封住該承載器之該開口靠近該背面的一側；



六、申請專利範圍

將一封裝材料至少填入到該開口中、該第一晶片與該第二晶片之間及該第一晶片與該承載器之間；以及將該脫型膜從該承載器的該背面上除去。

63. 如申請專利範圍第62項所述之多晶片模組製造方法，其中填入該封裝材料的方法係為點膠及灌膠，二者擇一。

64. 如申請專利範圍第44項所述之多晶片模組製造方法，其中在該第二晶片固定到該第一晶片上及該第一晶片固定到該承載器上之後，還形成一封裝材料至少包覆該第一晶片與該第二晶片之間的電性接合部份及該第一晶片與該承載器之間的電性接合部份。

65. 如申請專利範圍第64項所述之多晶片模組製造方法，其中形成該封裝材料的方法係為點膠及灌膠，二者擇一。

66. 一種晶片間接合結構，至少包括：

一第一晶片；

一第二晶片；以及

至少一導電柱，配置在該第一晶片與該第二晶片之間。

67. 如申請專利範圍第66項所述之晶片間接合結構，還包括一導電接合材料，係與該導電柱電性連接。

68. 如申請專利範圍第67項所述之晶片間接合結構，其中該導電接合材料係包覆該導電柱。

69. 如申請專利範圍第67項所述之晶片間接合結構，



六、申請專利範圍

其中該導電接合材料係與該導電柱之一側接合。

70. 如申請專利範圍第67項所述之晶片間接合結構，其中該導電柱的熔點係高於該導電接合材料的接合溫度。

71. 如申請專利範圍第67項所述之晶片間接合結構，其中該導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鈮、鎂、鎢、銨、該等之組合及該等之合金所組成族群中的一種材質。

72. 如申請專利範圍第66項所述之晶片間接合結構，其中該第一晶片係為數位邏輯晶片。

73. 如申請專利範圍第66項所述之晶片間接合結構，其中該第二晶片係為記憶體晶片。

74. 如申請專利範圍第66項所述之晶片間接合結構，其中該導電柱之材質係選自於由錫、鉛、銅、金、銀、鋅、鈮、鎂、鎢、銨、該等之組合及該等之合金所組成族群中的一種材質。

75. 一種多晶片封裝模組，至少包括：

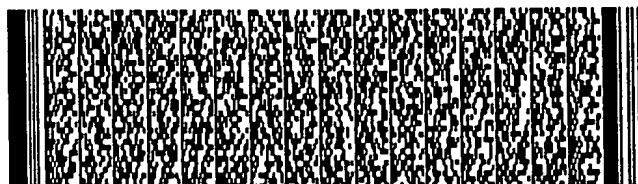
一第一晶片；

一第二晶片；

複數個導電柱，該些導電柱係位在該第一晶片與該第二晶片之間；以及

一承载器，該第一晶片係與該承载器相固定，並與該承载器電性連接。

76. 如申請專利範圍第75項所述之多晶片封裝模組，還包括一導電接合材料，係與該些導電柱電性連接。



六、申請專利範圍

77. 如申請專利範圍第76項所述之多晶片封裝模組，其中該導電接合材料係包覆該些導電柱。

78. 如申請專利範圍第76項所述之多晶片封裝模組，其中該導電接合材料係與該些導電柱之一側接合。

79. 如申請專利範圍第76項所述之多晶片封裝模組，其中該些導電柱的熔點係高於該導電接合材料的接合溫度。

80. 如申請專利範圍第76項所述之多晶片封裝模組，其中該導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鈦、鎂、錫、鋼、該等之組合及該等之合金所組成族群中的一種材質。

81. 如申請專利範圍第75項所述之多晶片封裝模組，其中該第一晶片係為數位邏輯晶片。

82. 如申請專利範圍第75項所述之多晶片封裝模組，其中該第二晶片係為記憶體晶片。

83. 如申請專利範圍第75項所述之多晶片封裝模組，其中該些導電柱之材質係選自於由錫、鉛、銅、金、銀、鋅、鈦、鎂、錫、鋼、該等之組合及該等之合金所組成族群中的一種材質。

84. 如申請專利範圍第75項所述之多晶片封裝模組，其中該第一晶片具有一主動表面及對應之一背面，而該些導電柱係位在該第一晶片之該主動表面與該第二晶片之間，該第一晶片係以其該背面貼附到該承載器上，該第一晶片係藉由打線的方式與該承載器電性連接。



六、申請專利範圍

85. 如申請專利範圍第75項所述之多晶片封裝模組，其中該些導電柱還配置在該第一晶片與該承載器之間。

86. 如申請專利範圍第85項所述之多晶片封裝模組，還包括一導電接合材料，係與該些導電柱電性連接。

87. 如申請專利範圍第86項所述之多晶片封裝模組，其中該導電接合材料係包覆該些導電柱。

88. 如申請專利範圍第86項所述之多晶片封裝模組，其中該導電接合材料係與該些導電柱之一側接合。

89. 如申請專利範圍第86項所述之多晶片封裝模組，其中該些導電柱的熔點係高於該導電接合材料的接合溫度。

90. 如申請專利範圍第86項所述之多晶片封裝模組，其中該導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鈮、鎂、錫、銨、該等之組合及該等之合金所組成族群中的一種材質。

91. 如申請專利範圍第75項所述之多晶片封裝模組，其中該承載器係為基板、陶瓷基板及導線架，三者擇一。

92. 如申請專利範圍第75項所述之多晶片封裝模組，其中該承載器具有一開口，該開口係貫穿該承載器，該第二晶片係容納在該承載器之該開口中。

93. 如申請專利範圍第75項所述之多晶片封裝模組，還包括一封裝材料係填充到該第一晶片與該第二晶片之間及該第一晶片與該承載器之間的電性接合部份。

94. 一種承載器間接合方法，至少包括：



六、申請專利範圍

提供一第一承載器及一第二承載器；

形成至少一導電柱到該第一承載器上；

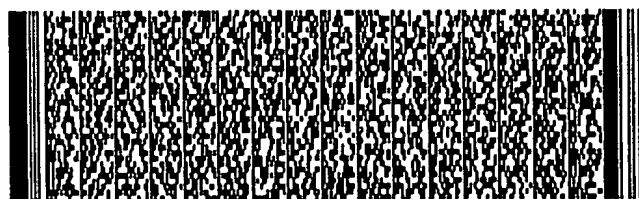
形成膏狀的至少一導電接合材料到該導電柱上；以及

利用迴焊的方式，藉由該導電接合材料使得該導電柱與該第二承載器電性連接。

95. 如申請專利範圍第94項所述之承載器間接合方法，其中在提供該第二承載器之後，還形成另一導電接合材料到該第二承載器上，接下來便將形成在該導電柱上的該導電接合材料與形成在該第二承載器上的該另一導電接合材料接合，使得該第一承載器藉由該導電柱、該導電接合材料及該另一導電接合材料能夠與該第二承載器電性連接。

96. 如申請專利範圍第95項所述之承載器間接合方法，其中該另一導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鈮、鎂、錳、銨、該等之組合及該等之合金所組成族群中的一種材質。

97. 如申請專利範圍第95項所述之承載器間接合方法，其中在提供該第二承載器之後，係利用網板印刷的方式形成膏狀的該另一導電接合材料到該第二承載器上，而接下來係將形成在該導電柱上的該導電接合材料與形成在該第二承載器上的該另一導電接合材料相附著，之後還利用迴焊的方式，將形成在該導電柱上的該導電接合材料與形成在該第二承載器上的該另一導電接合材料接合，使得



六、申請專利範圍

該第一承載器藉由該導電柱、該導電接合材料及該另一導電接合材料能夠與該第二承載器電性連接。

98. 如申請專利範圍第95項所述之承載器間接合方法，其中該導電柱的熔點係高於該另一導電接合材料的接合溫度。

99. 如申請專利範圍第94項所述之承載器間接合方法，其中該第一承載器係為晶片、基板及陶瓷基板，三者則一。

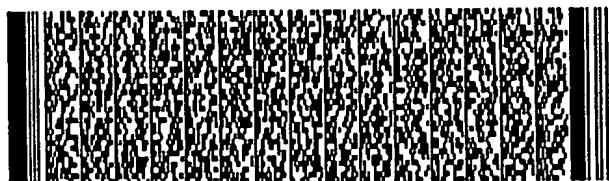
100. 如申請專利範圍第94項所述之承載器間接合方法，其中該第二承載器係為晶片、基板及陶瓷基板，三者則一。

101. 如申請專利範圍第94項所述之承載器間接合方法，其中該導電柱之材質係選自於由錫、鉛、銅、金、銀、鋅、鉻、鎂、鎢、銨、該等之組合及該等之合金所組成族群中的一種材質。

102. 如申請專利範圍第94項所述之承載器間接合方法，其中該導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鉻、鎂、鎢、銨、該等之組合及該等之合金所組成族群中的一種材質。

103. 如申請專利範圍第94項所述之承載器間接合方法，其中該導電柱的熔點係高於該導電接合材料的接合溫度。

104. 如申請專利範圍第94項所述之承載器間接合方法，其中係形成球狀之該導電接合材料到該導電柱上。



六、申請專利範圍

105. 如申請專利範圍第94項所述之承載器間接合方法，其中係形成柱狀之該導電接合材料到該導電柱上。

106. 一種承載器間接合方法，至少包括：

提供一第一承載器及一第二承載器；

形成至少一導電柱到該第一承載器上；

形成膏狀的至少一導電接合材料到該第二承載器上；以及

利用迴焊的方式，藉由該導電接合材料使得該導電柱與該第二承載器電性連接。

107. 如申請專利範圍第106項所述之承載器間接合方法，其中在提供該第二承載器之後，係利用網板印刷的方式形成膏狀的該導電接合材料到該第二承載器上，而接下來係將形成在該第一承載器上的該導電柱與形成在該第二承載器上的該導電接合材料相附著，之後還利用迴焊的方式，將形成在該第一承載器上的該導電柱與形成在該第二承載器上的該導電接合材料接合，使得該第一承載器藉由該導電柱及該導電接合材料能夠與該第二承載器電性連接。

108. 如申請專利範圍第106項所述之承載器間接合方法，其中該第一承載器係為晶片、基板及陶瓷基板，三者則一。

109. 如申請專利範圍第106項所述之承載器間接合方法，其中該第二承載器係為晶片、基板及陶瓷基板，三者則一。



六、申請專利範圍

110. 如申請專利範圍第106項所述之承載器間接合方法，其中該導電柱之材質係選自於由錫、鉛、銅、金、銀、鋅、鈮、鎂、錳、銨、該等之組合及該等之合金所組成族群中的一種材質。

111. 如申請專利範圍第106項所述之承載器間接合方法，其中該導電接合材料之材質係選自於由錫、鉛、銅、金、銀、鋅、鈮、鎂、錳、銨、該等之組合及該等之合金所組成族群中的一種材質。

112. 如申請專利範圍第106項所述之承載器間接合方法，其中該導電柱的熔點係高於該導電接合材料的接合溫度。

113. 如申請專利範圍第106項所述之承載器間接合方法，其中係形成球狀之該導電接合材料到該第二承載器上。

114. 如申請專利範圍第106項所述之承載器間接合方法，其中係形成柱狀之該導電接合材料到該第二承載器上。

115. 一種承載器間接合方法，至少包括：

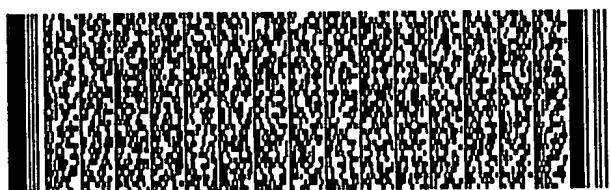
提供一第一承載器及一第二承載器；

形成至少一第一導電柱到該第一承載器上；

形成至少一第二導電柱到該第二承載器上；

形成至少一導電接合材料到該第二導電柱上；以及

進行一接合製程，藉由該導電接合材料使得該第一導電柱與該第二導電柱電性連接。



六、申請專利範圍

116. 如申請專利範圍第115項所述之承载器間接合方法，其中在形成該導電接合材料到該第二導電柱上之後，還進行一蝕刻製程，使得該導電接合材料之一底面的一部份區域暴露於外，而該導電接合材料之該底面的其他區域係與該第二導電柱連接。

117. 如申請專利範圍第116項所述之承载器間接合方法，其中該導電接合材料之邊緣位置與該第二導電柱之邊緣位置之間的最短距離係大於5微米。

118. 如申請專利範圍第115項所述之承载器間接合方法，其中該第一導電柱的熔點及該第二導電柱的熔點係高於該導電接合材料的接合溫度。

119. 如申請專利範圍第115項所述之承载器間接合方法，其中該第一導電柱的截面積係大致上相同於該第二導電柱的截面積。

120. 如申請專利範圍第115項所述之承载器間接合方法，其中該第一導電柱的高度係遠大於該第二導電柱的高度。

121. 如申請專利範圍第115項所述之承载器間接合方法，其中該第一承载器係為晶片、基板及陶瓷基板，三者則一。

122. 如申請專利範圍第115項所述之承载器間接合方法，其中該第二承载器係為晶片、基板及陶瓷基板，三者則一。

123. 一種承载器間接合結構，至少包括：



六、申請專利範圍

一 第一承載器；

一 第二承載器；

至少一第一導電柱，位在該第一承載器與該第二承載器之間；

至少一第二導電柱，位於該第一導電柱與該第二承載器之間；以及

一導電接合材料，包覆該第一導電柱與該第二導電柱。

124. 如申請專利範圍第123項所述之承載器間接合結構，其中該第一導電柱的熔點及該第二導電柱的熔點係高於該導電接合材料的接合溫度。

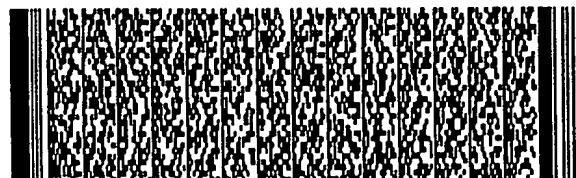
125. 如申請專利範圍第123項所述之承載器間接合結構，其中該第一導電柱的截面積係大致上相同於該第二導電柱的截面積。

126. 如申請專利範圍第123項所述之承載器間接合結構，其中該第一導電柱的高度係遠大於該第二導電柱的高度。

127. 如申請專利範圍第123項所述之承載器間接合結構，其中該第一承載器係為晶片、基板及陶瓷基板，三者則一。

128. 如申請專利範圍第123項所述之承載器間接合結構，其中該第二承載器係為晶片、基板及陶瓷基板，三者則一。

129. 一種導電接合結構，適於配置在一承載器上，



六、申請專利範圍

該導電接合結構包括：

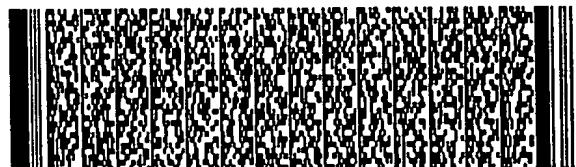
一導電柱，係位在該承載器上；以及

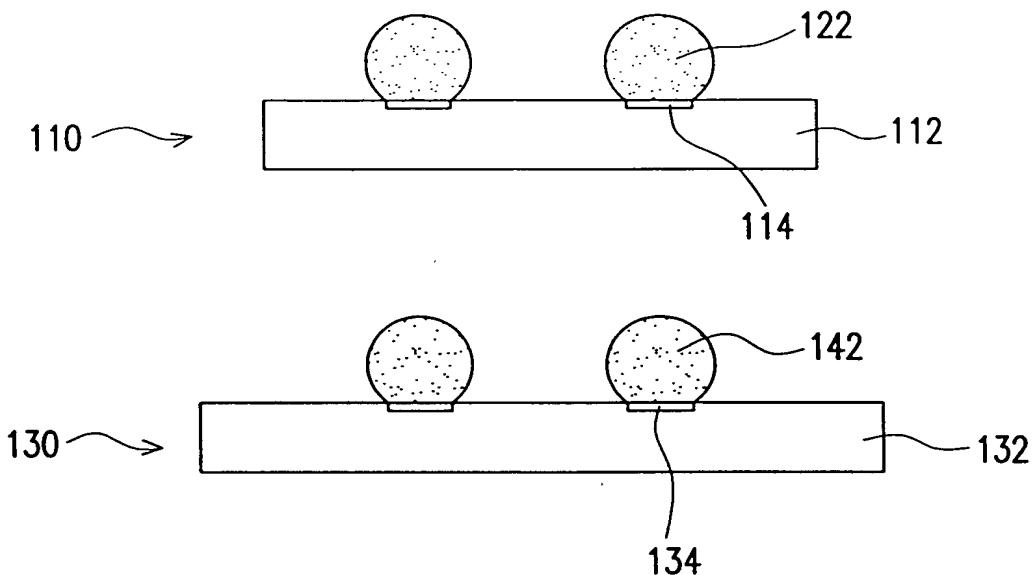
一導電接合材料，係位在該導電柱上，該導電接合材料具有一底面，其中該導電接合材料之該底面的一部份區域係暴露於外，而該導電接合材料之該底面的其他區域係與該導電柱連接。

130. 如申請專利範圍第129項所述之導電接合結構，其中該導電接合材料之邊緣位置與該導電柱之邊緣位置之間的最短距離係大於5微米。

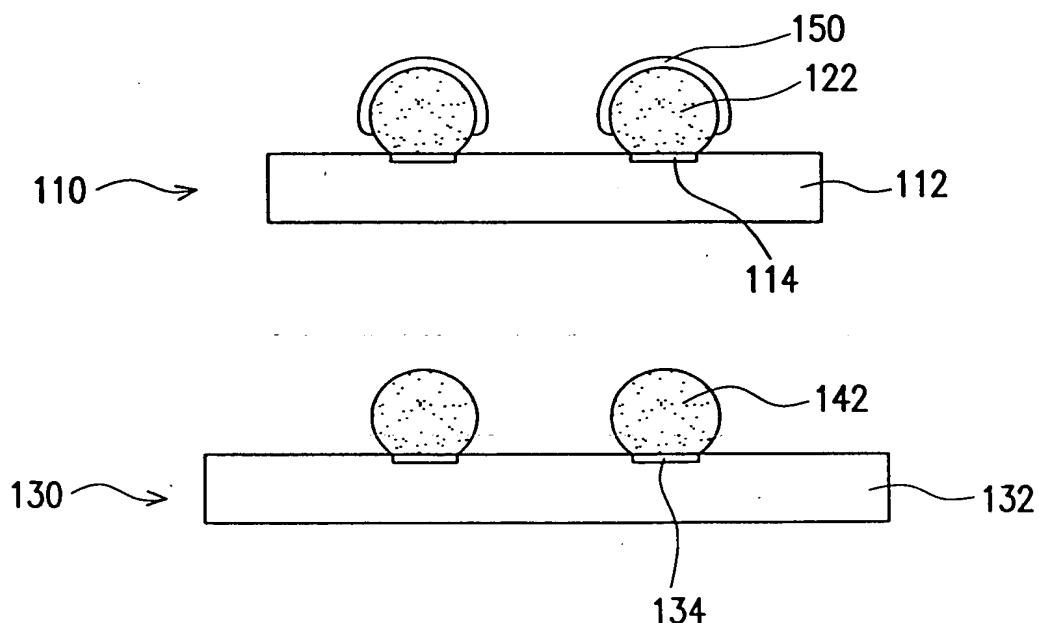
131. 如申請專利範圍第129項所述之導電接合結構，其中該導電柱的熔點係高於該導電接合材料的接合溫度。

132. 如申請專利範圍第129項所述之導電接合結構，其中該承載器係為晶片、基板及陶瓷基板，三者則一。

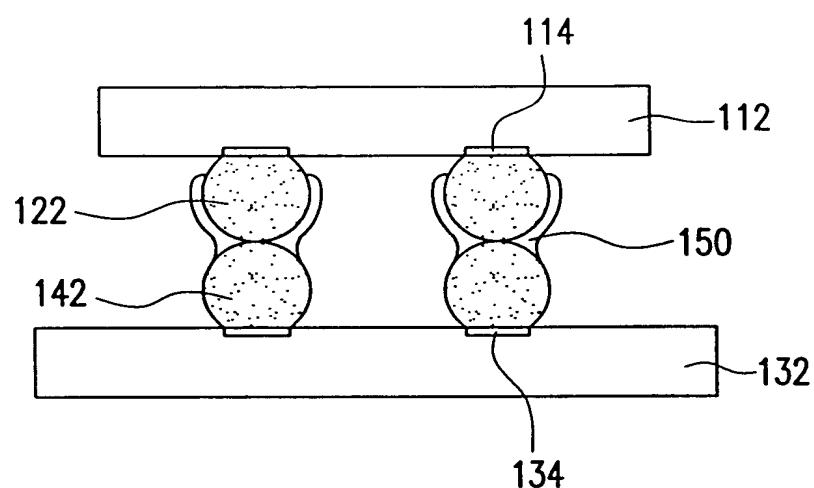




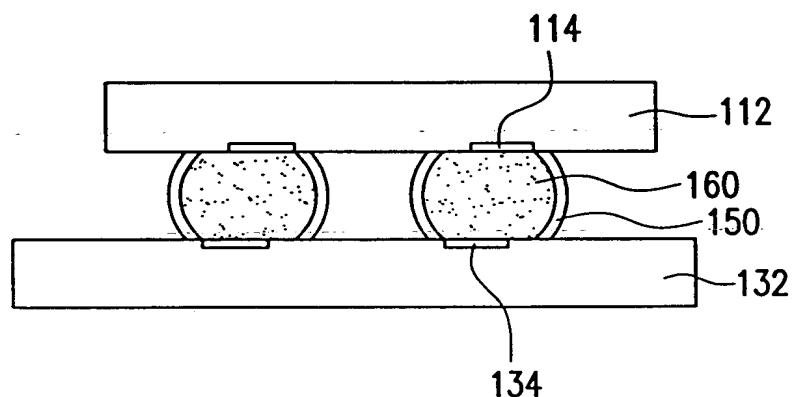
第 1 圖



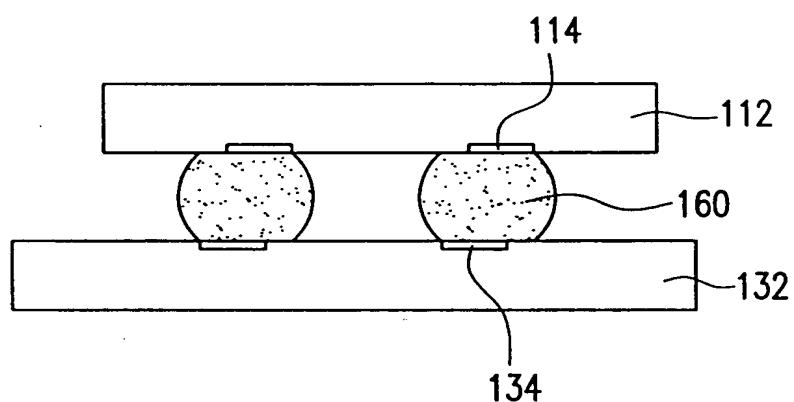
第 2 圖



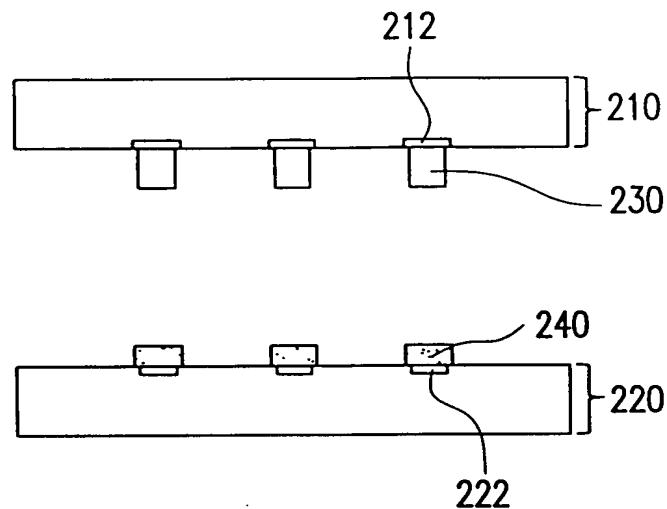
第 3 圖



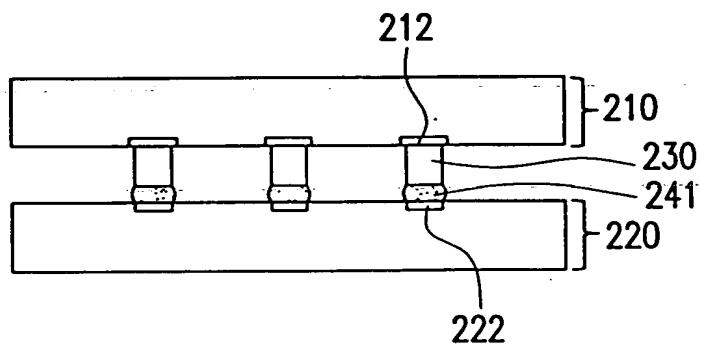
第 4 圖



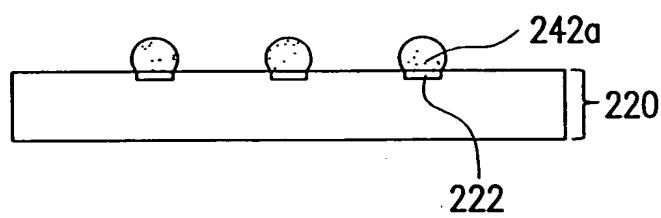
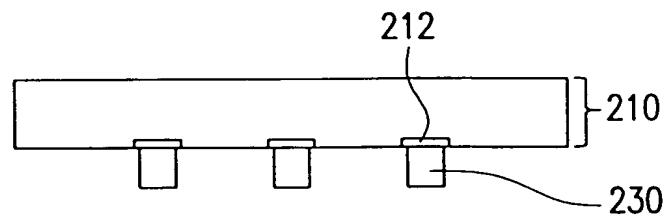
第 5 圖



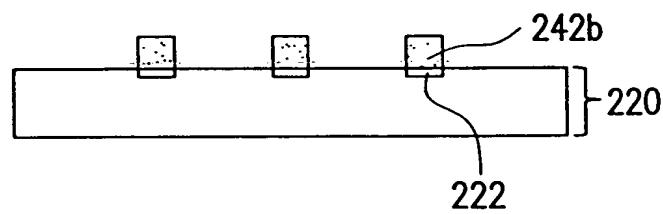
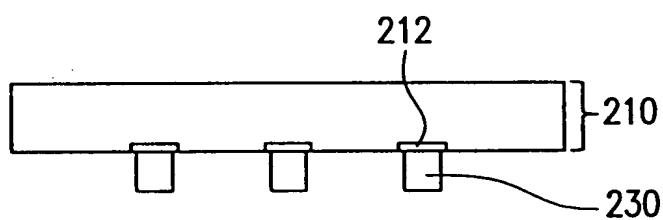
第 6 圖



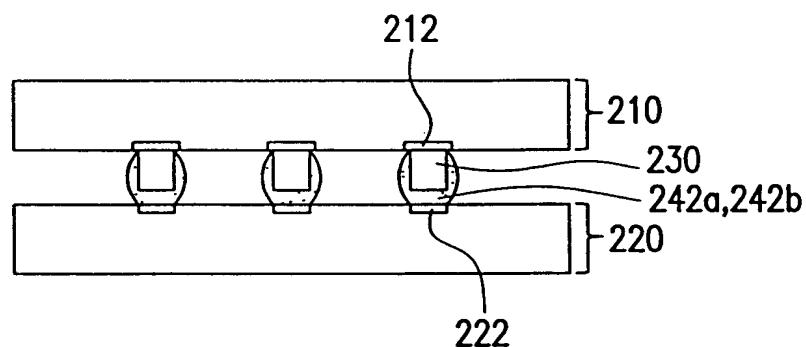
第 7 圖



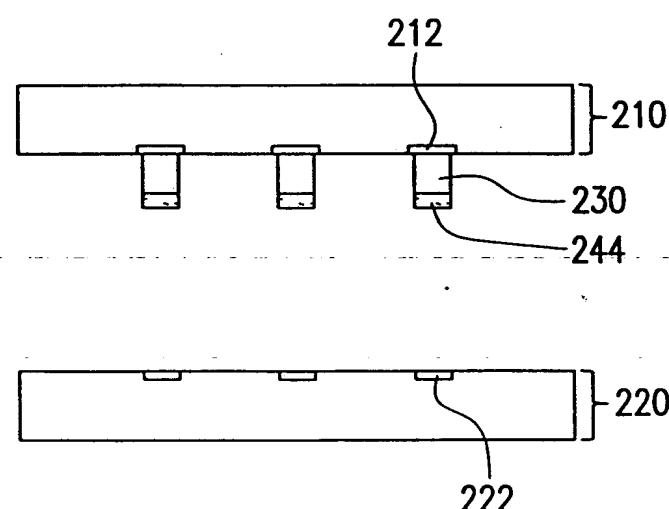
第 8A 圖



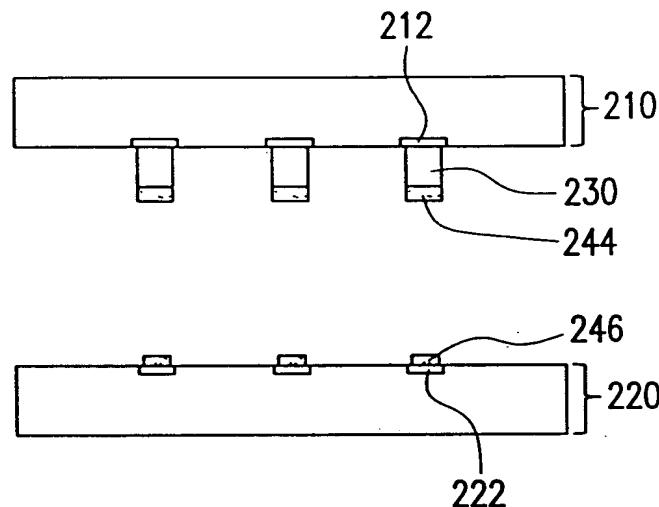
第 8B 圖



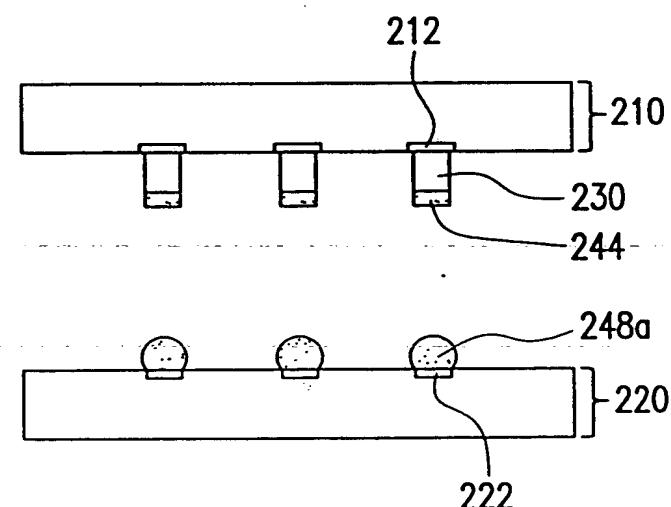
第 9 圖



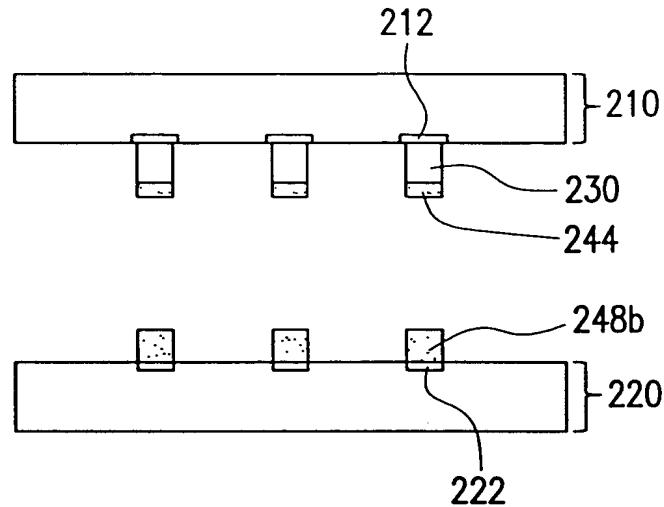
第 10 圖



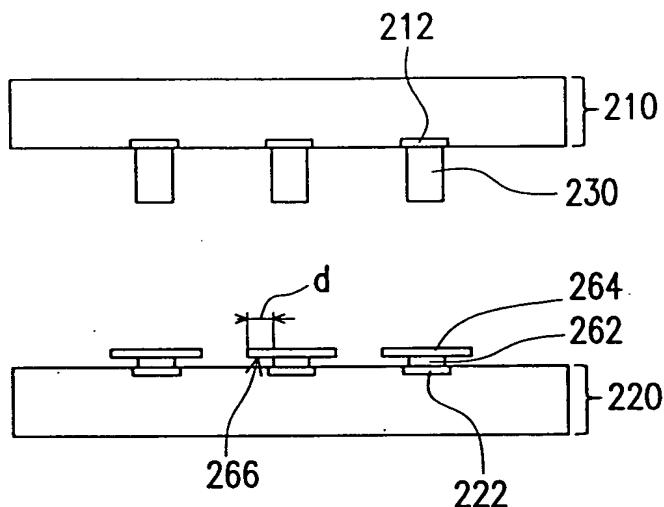
第11圖



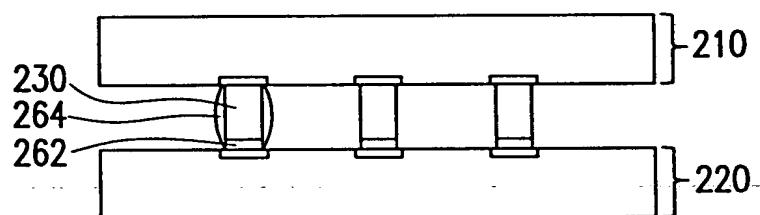
第12A圖



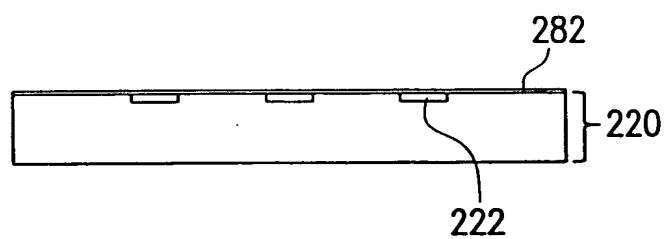
第12B圖



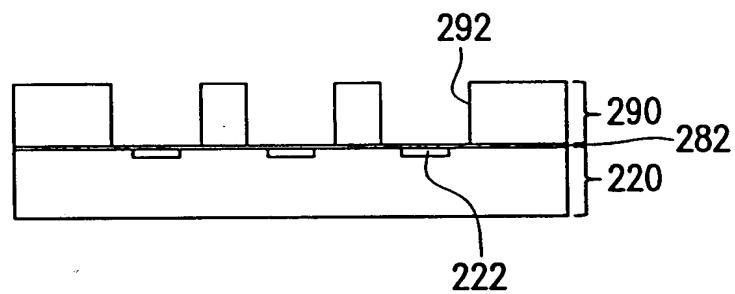
第 13 圖



第 14 圖

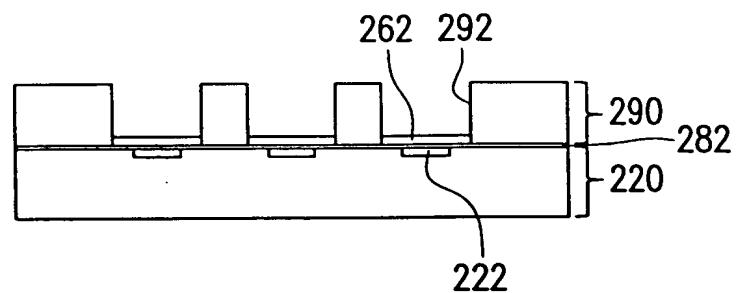


第 15 圖

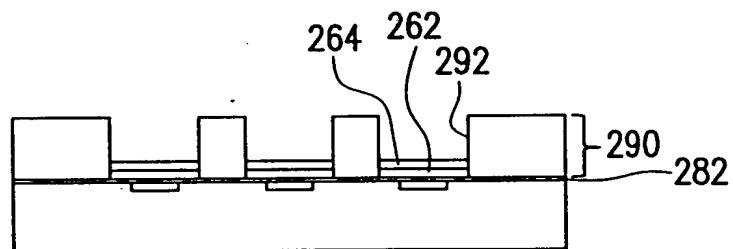


第 16 圖

9730TW

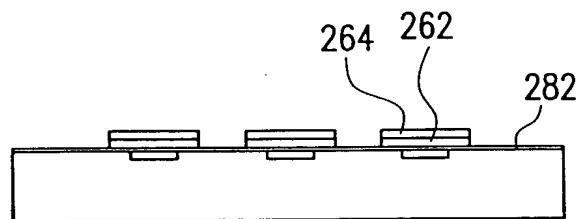


第 17 圖

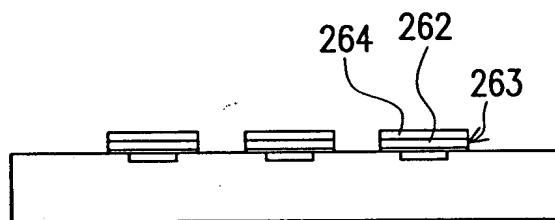


第 18 圖

9730TW

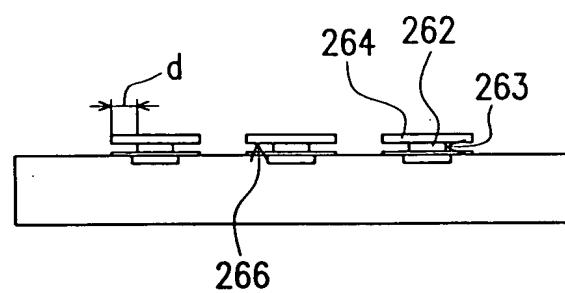


第 19 圖



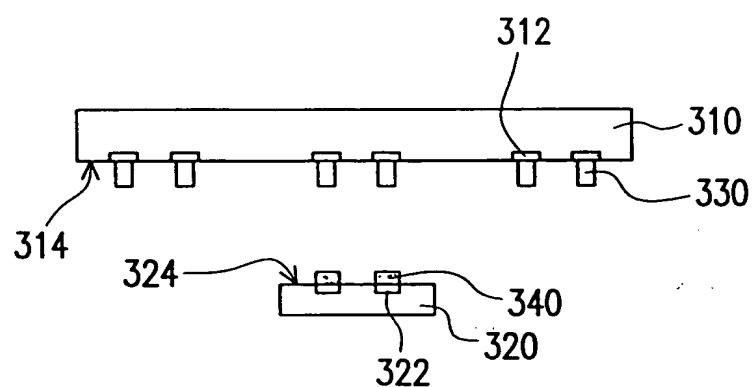
第 20 圖

9730TW

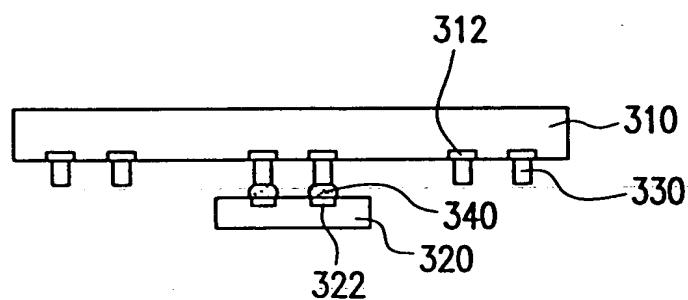


第 21 圖

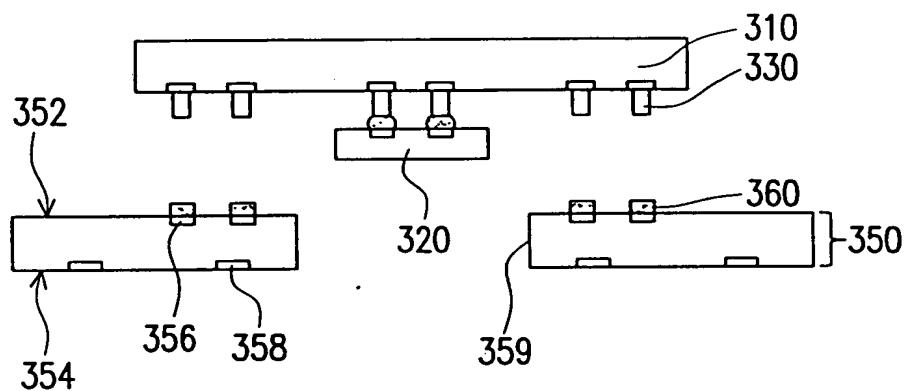
9730TW



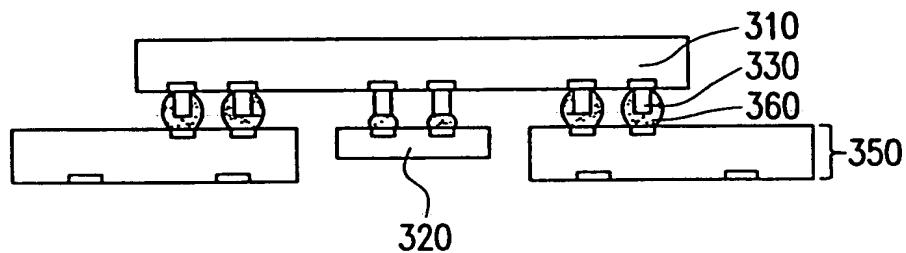
第 22 圖



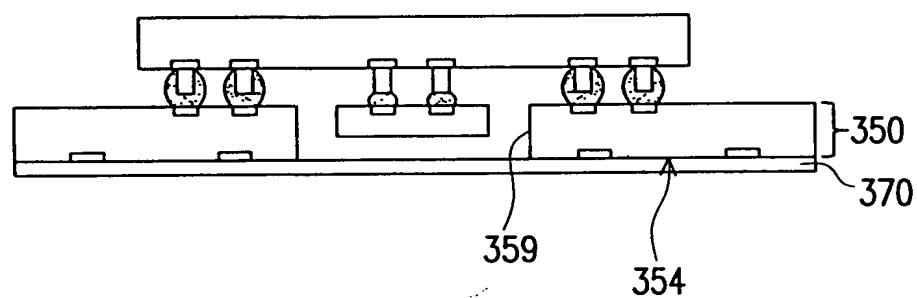
第 23 圖



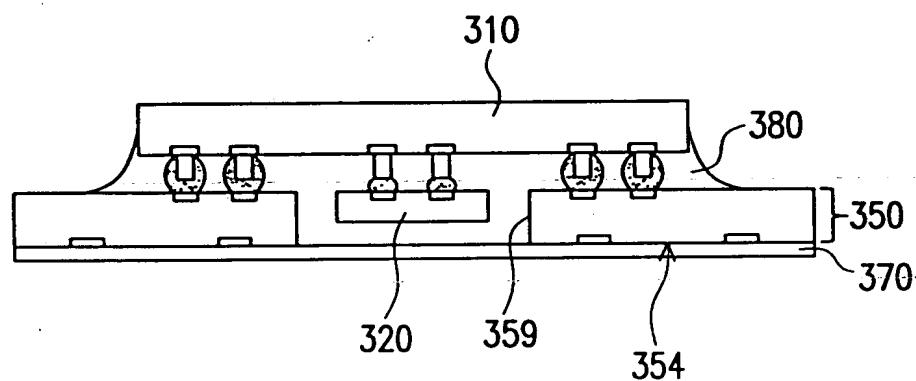
第24圖



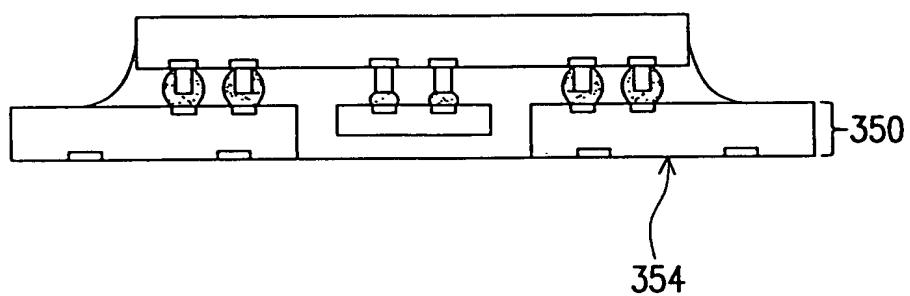
第25圖



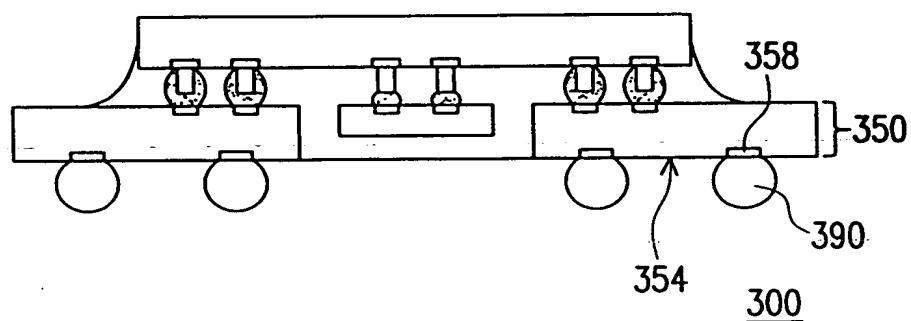
第 26 圖



第 27 圖

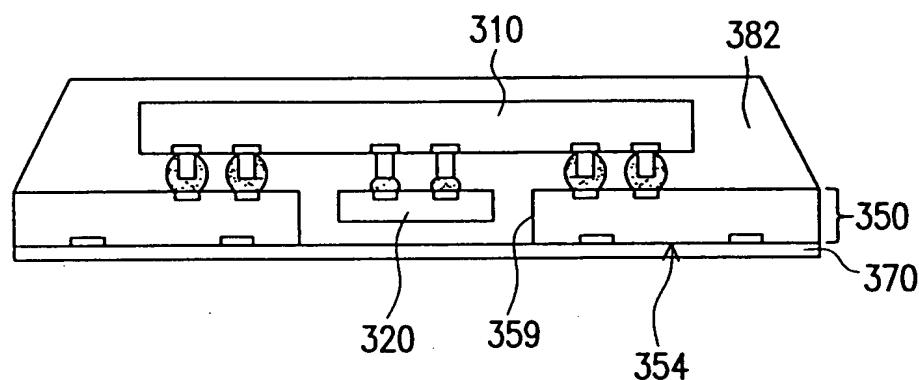


第 28 圖

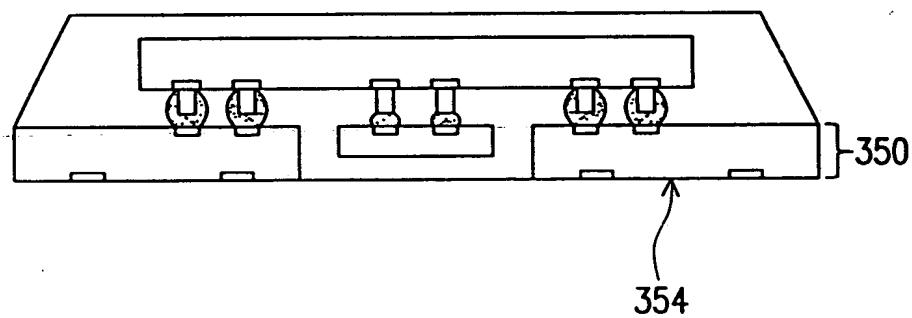


第 29 圖

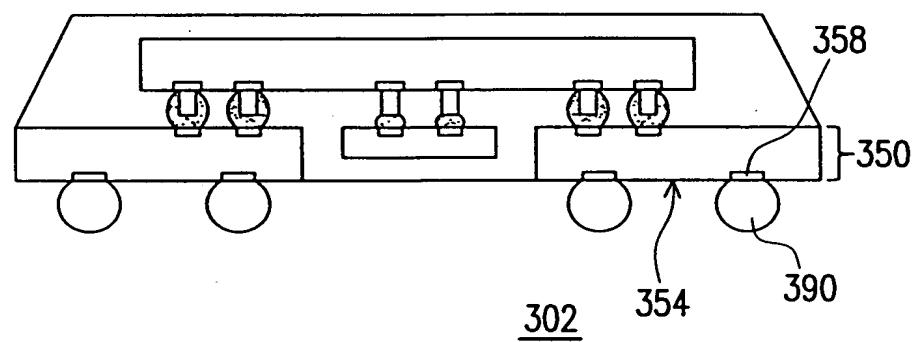
9730TW



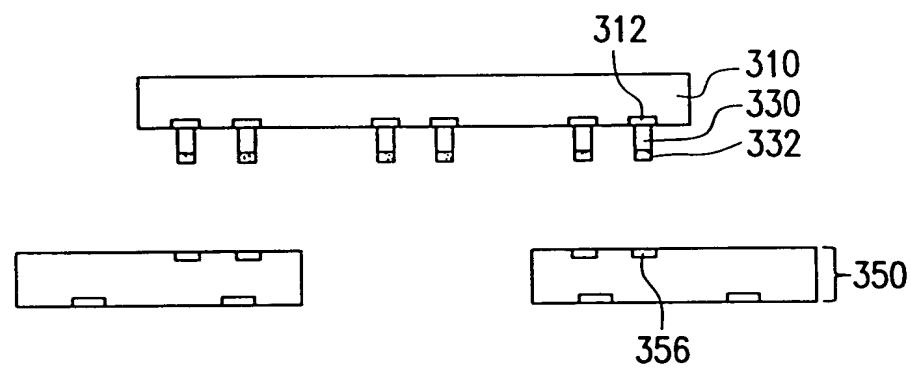
第30圖



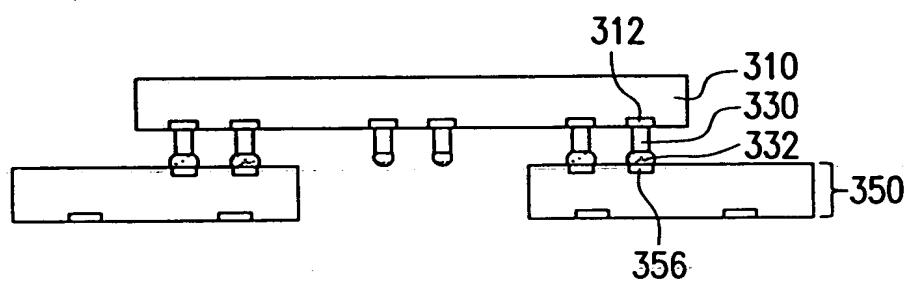
第31圖



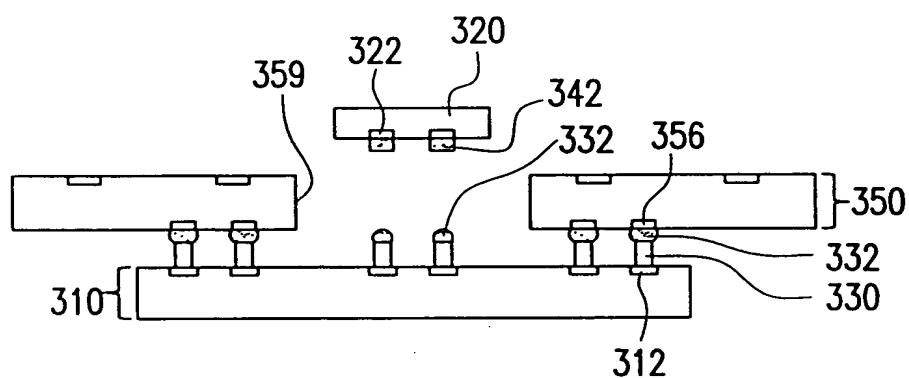
第32圖



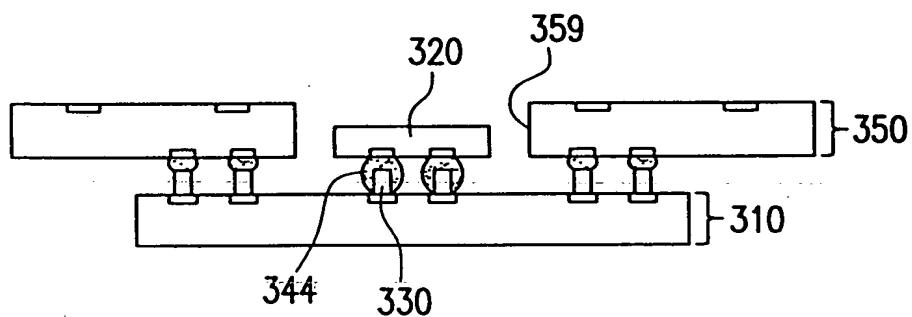
第33圖



第34圖

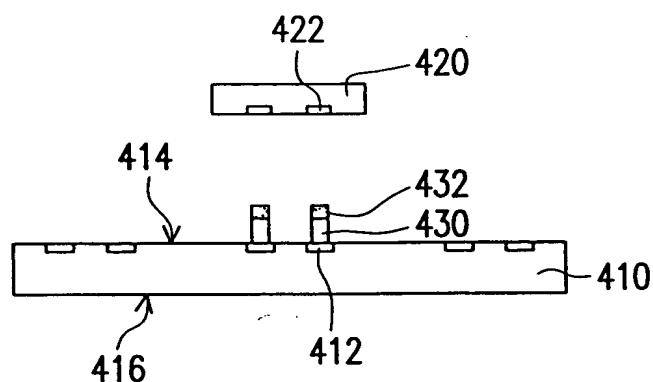


第35圖

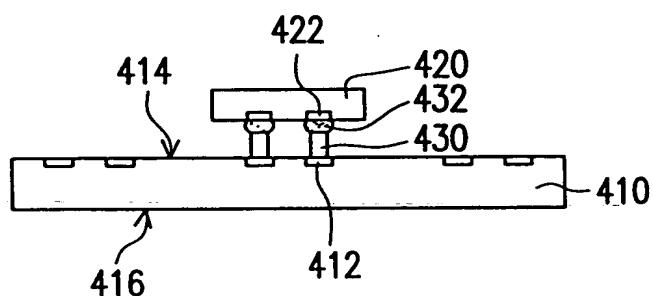


第36圖

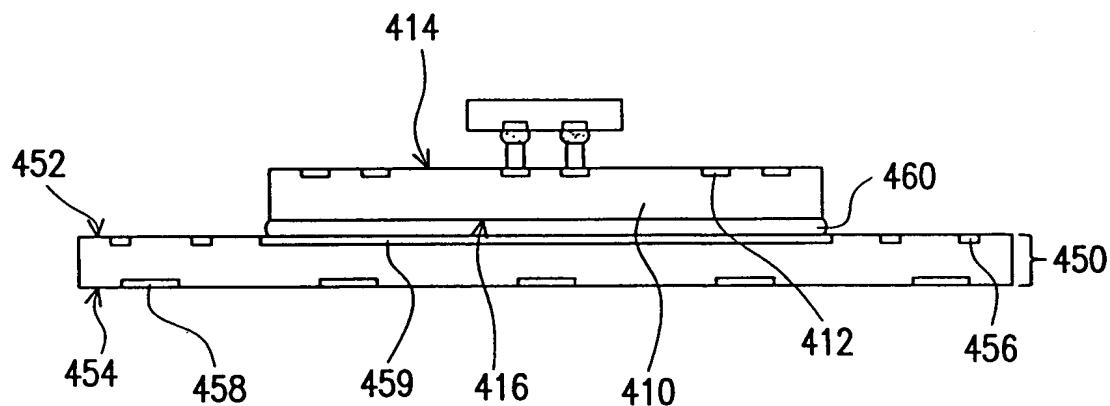
9730TW



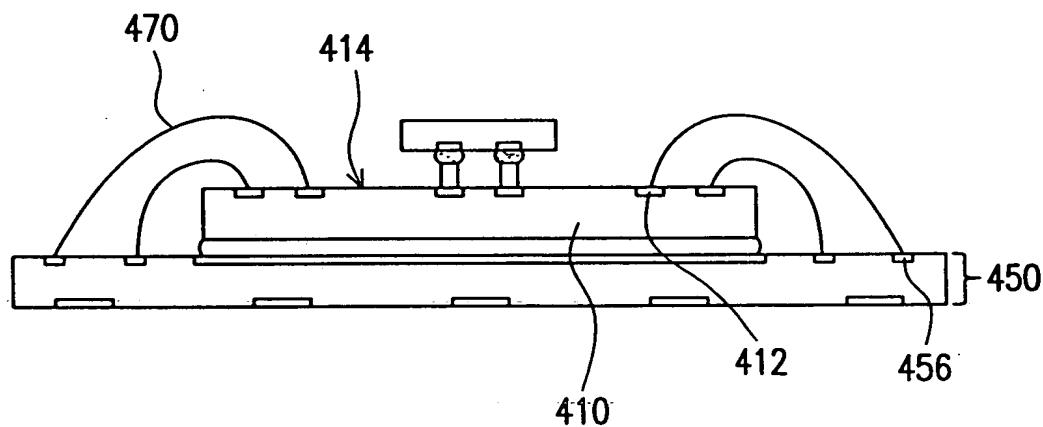
第37圖



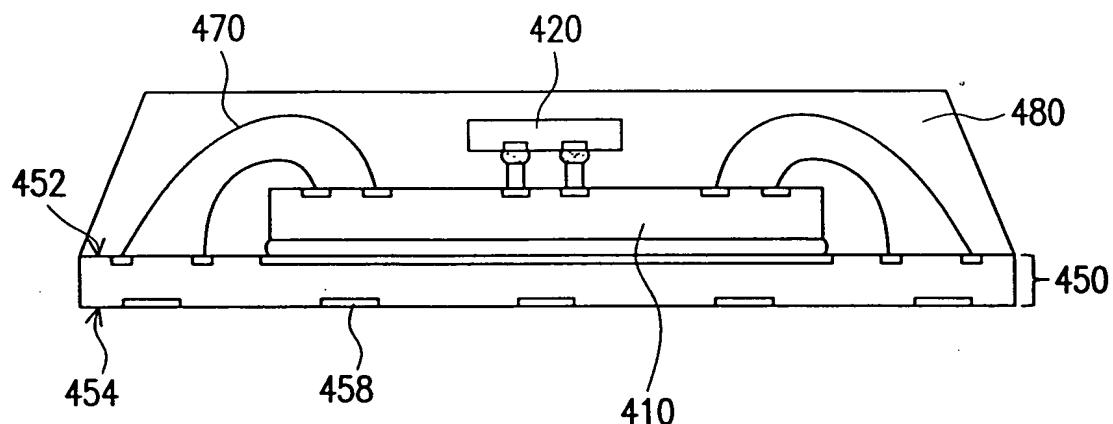
第38圖



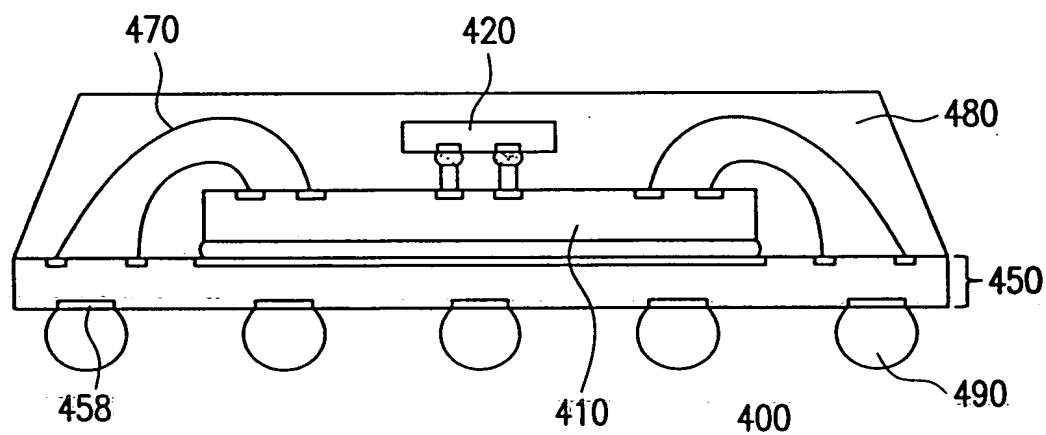
第39圖



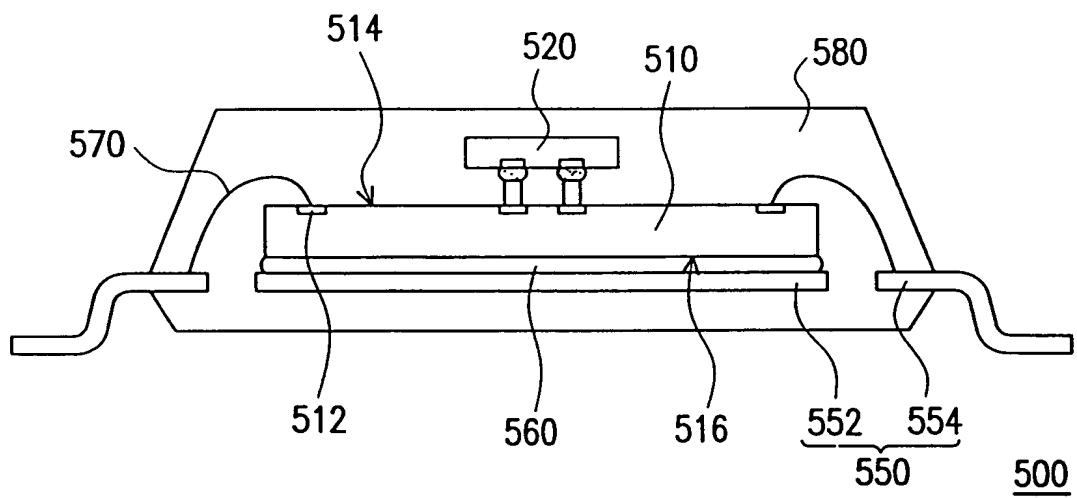
第40圖



第 41 圖



第 42 圖



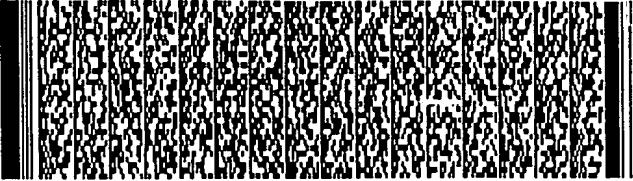
第 43 圖

申請案件名稱:晶片間接合方法

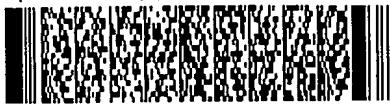
第 1/54 頁



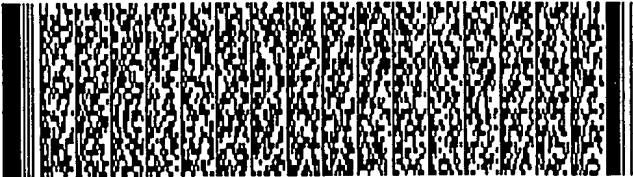
第 2/54 頁



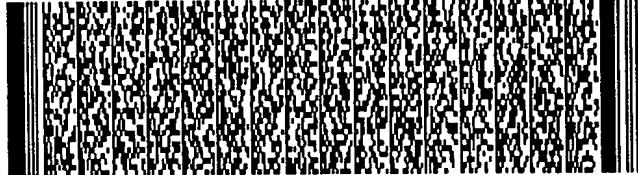
第 3/54 頁



第 5/54 頁



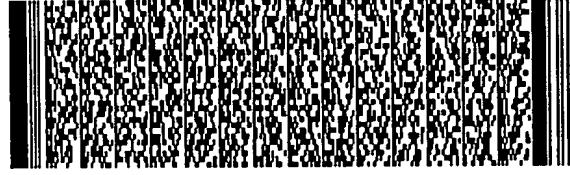
第 5/54 頁



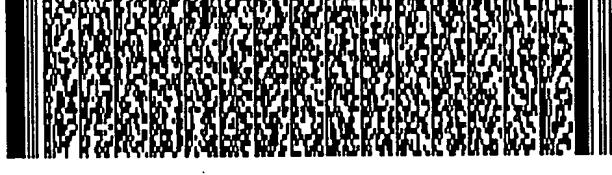
第 6/54 頁



第 6/54 頁



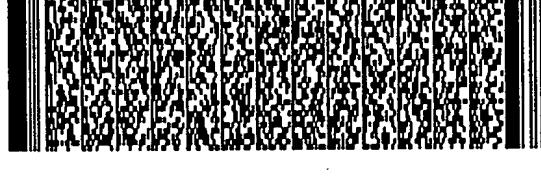
第 7/54 頁



第 7/54 頁



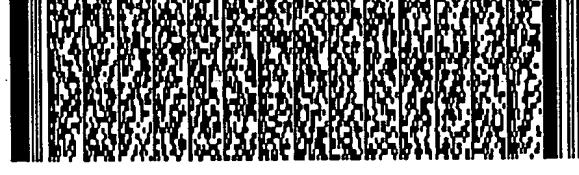
第 8/54 頁



第 8/54 頁



第 9/54 頁



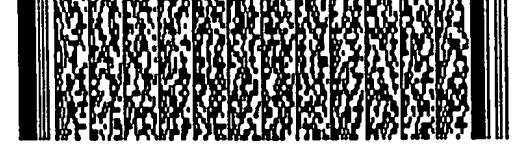
第 9/54 頁



第 10/54 頁



第 11/54 頁

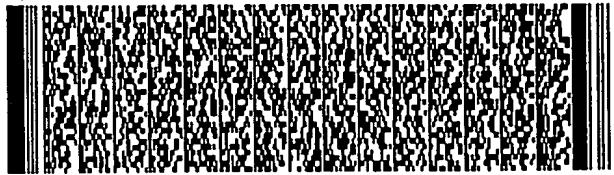


第 12/54 頁

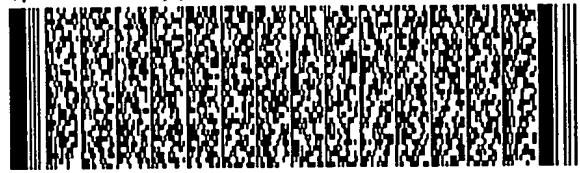


申請案件名稱:晶片間接合方法

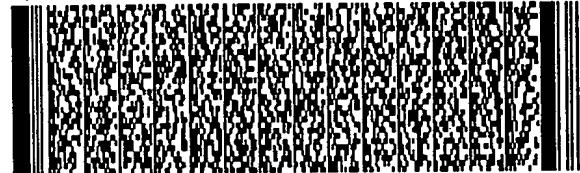
第 13/54 頁



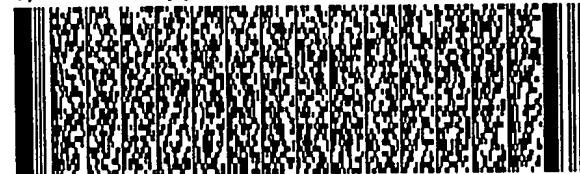
第 14/54 頁



第 15/54 頁



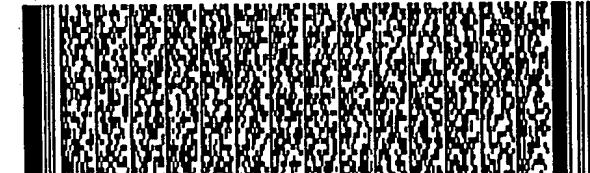
第 16/54 頁



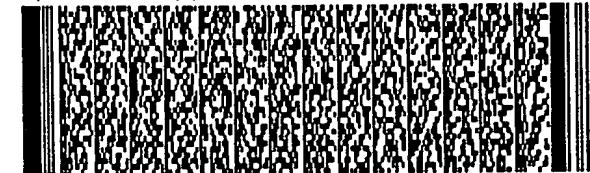
第 17/54 頁



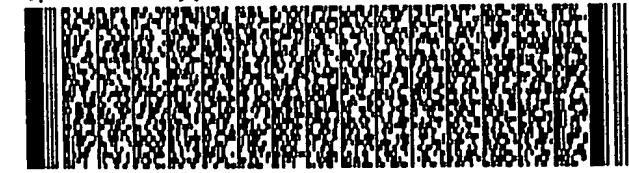
第 18/54 頁



第 19/54 頁



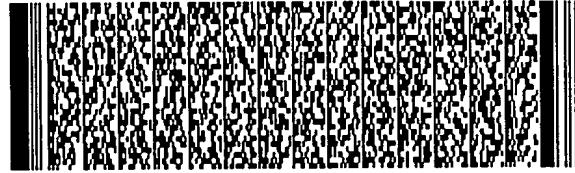
第 20/54 頁



第 14/54 頁



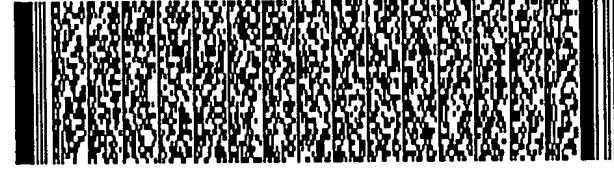
第 15/54 頁



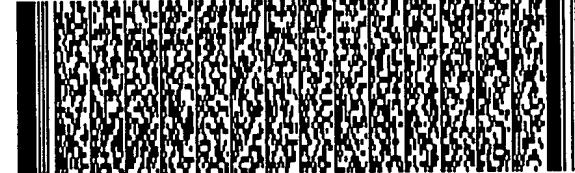
第 16/54 頁



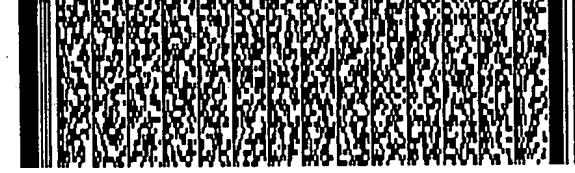
第 17/54 頁



第 18/54 頁



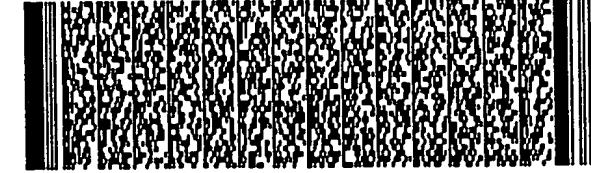
第 19/54 頁



第 20/54 頁

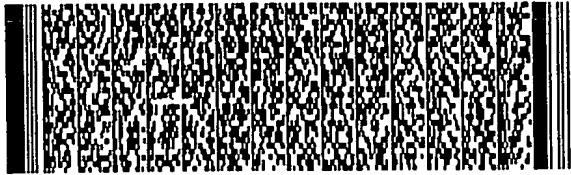


第 21/54 頁

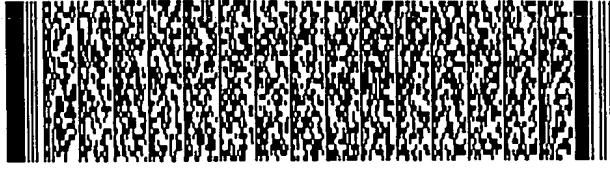


申請案件名稱:晶片間接合方法

第 21/54 頁



第 22/54 頁

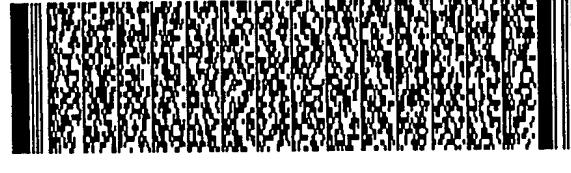


(6)

第 22/54 頁



第 23/54 頁



第 24/54 頁



第 24/54 頁



第 25/54 頁



第 25/54 頁



第 26/54 頁



第 26/54 頁



第 27/54 頁



第 27/54 頁



第 28/54 頁



第 28/54 頁

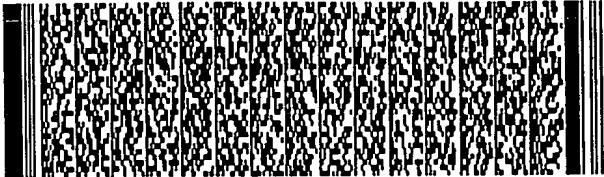


第 29/54 頁

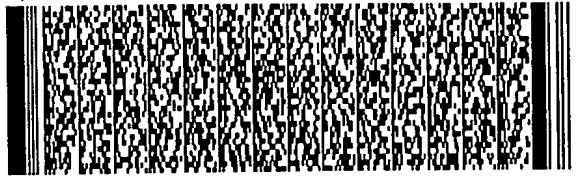


申請案件名稱:晶片間接合方法

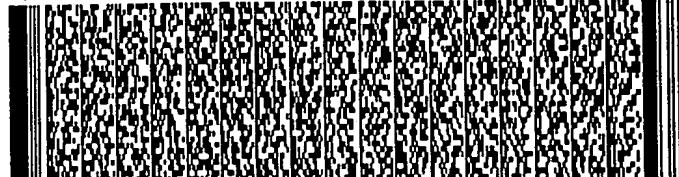
第 29/54 頁



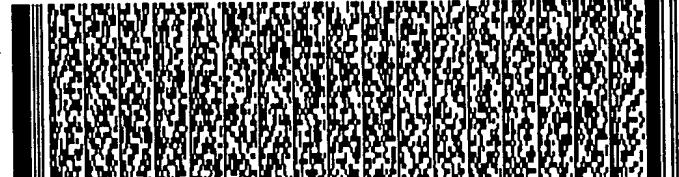
第 31/54 頁



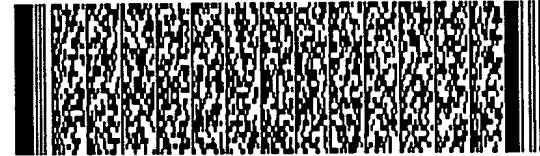
第 33/54 頁



第 35/54 頁



第 36/54 頁



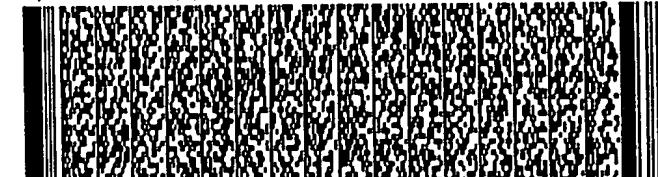
第 38/54 頁



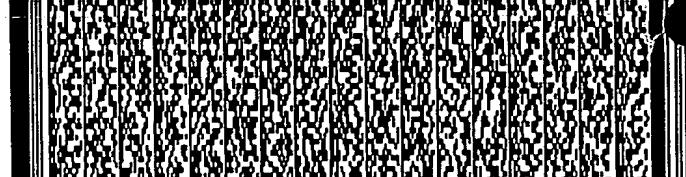
第 40/54 頁



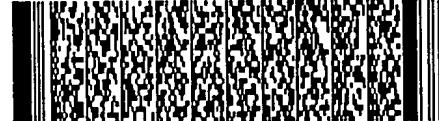
第 42/54 頁



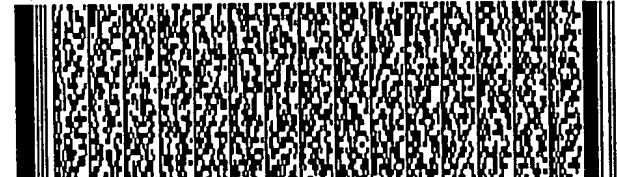
第 30/54 頁



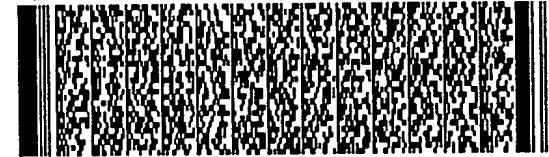
第 32/54 頁



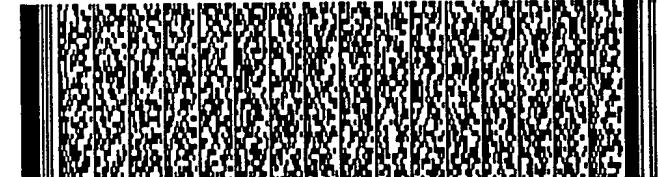
第 34/54 頁



第 36/54 頁



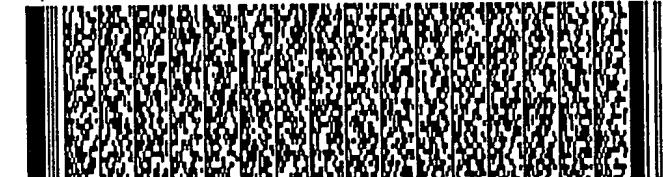
第 37/54 頁



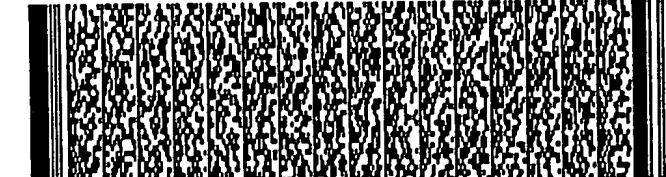
第 39/54 頁



第 41/54 頁

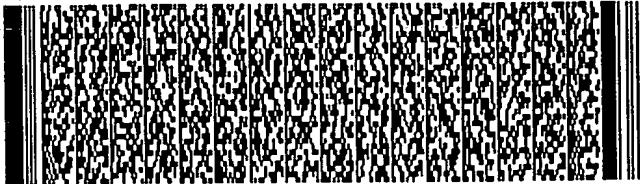


第 43/54 頁

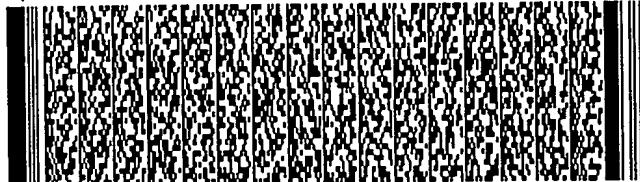


申請案件名稱:晶片間接合方法

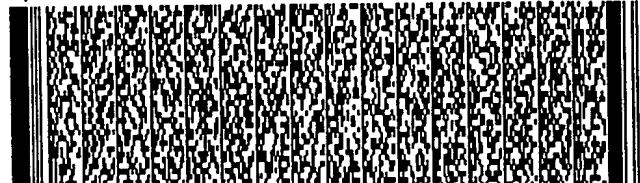
第 44/54 頁



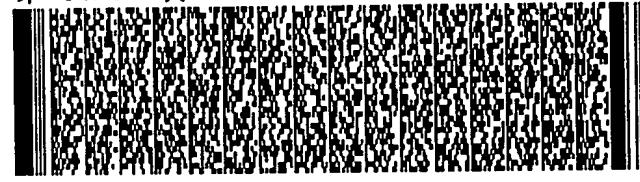
第 46/54 頁



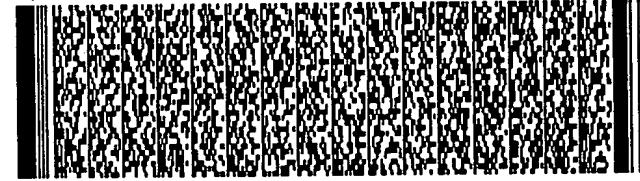
第 48/54 頁



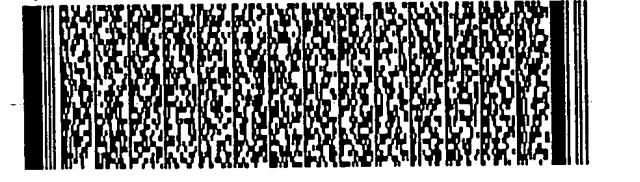
第 50/54 頁



第 52/54 頁



第 54/54 頁



第 45/54 頁



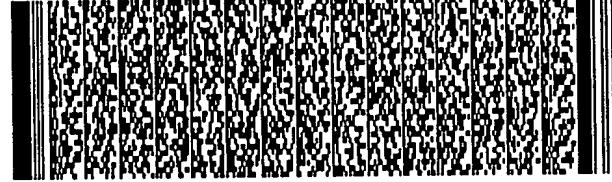
第 47/54 頁



第 49/54 頁



第 51/54 頁



第 53/54 頁

